

明細書
表示装置

技術分野

本発明は表示装置に関するものである。反射型の液晶ディスプレイ (LCD : Liquid Crystal Display) 又は有機ELディスプレイ (OELD : Organic Electro Luminescent Display) に特に有効であり、低電力化を図りつつ、省スペース化を図ろうとするものである。

背景技術

最近、液晶を用いた表示装置（以下、ディスプレイという）がかなりの勢いで普及しつつある。このタイプのディスプレイは、CRTのディスプレイに比べて低消費電力で省スペースである。したがって、このようなディスプレイの利点を活かし、より低消費電力で、より省スペースのディスプレイを作成することが重要となる。

図15は、TFTディスプレイによる表示装置により表示を行うためのシステムのブロック図である。このシステムはデジタルインターフェース100及びTFT液晶ディスプレイパネル101で構成される。デジタルインターフェース100は、少なくともCPU100A、RAM100B、フレームメモリ100C及びLCDコントローラ100Dで構成される。CPU100Aは、汎用のメモリであるRAM100Bとデータのやりとりを行いながら、表示データを送信する演算制御手段である。このRAM100Bは、特に表示用のメモリだけに用いられているわけではなく、そのため新たに表示用のデータを記憶するメモリを必要とする。それがフレームメモリ100Cである。フレームメモリ100Cは、液晶パネル101Cの1画面分の表示用のデータを一時的に記憶する（以下、1画素分のデータを表示データとし、表示データを構成する各2値信号を画像信号という）。LCDコントローラ100Dは、フレームメモリ100Cに記憶された各表示データを、液晶パネル101C上の各表示位置に各タイミングで表示させるため、表示データの送信制御等を行うものである。ここで、CRTの場合は、表示データをアナログデータに変換して送信する必要があるが、液晶ディスプレイのインターフェースがデジタルデータに対応しているものとして、ここでは表示データをデジタルデータ

ルデータである画像信号で送信する。

一方、TFT液晶ディスプレイパネル101は走査線ドライバ101A及びデジタルデータドライバ101B並びに液晶パネル101Cで構成される。走査線ドライバ101AはLCDコントローラ100Dから送信されるタイミングデータに基づいて、走査線(行)方向の表示制御をする。デジタルデータドライバ101Bは、デジタルデータの画像信号を受けとり、処理することができる。デジタルデータドライバ101Bは、LCDコントローラ100Dから送信されるタイミングデータに基づいて、データ線(列)方向の表示制御する。またその際、表示階調も制御する。液晶パネル101CはTFT(薄膜トランジスタ:Thin Film Transistor)を有し、走査線ドライバ101A及びデジタルデータドライバ101Bの制御に基づいて表示を行うパネルである。

このようなシステムでは、全面面分の表示データ一時的に記憶するためのフレームメモリ100Cを必要とする。また、この表示データの画像信号をデジタルデータドライバ101Bに送信するLCDコントローラ100Dが必要となる。

そのため、システム全体として多くの手段を必要とし、規模が大きくなる。しかも、これらのデータ送信量は多く、そのための電力消費も大きいので、低消費電力化を図ることができない。

そこで、本発明は、システム全体として省スペース化、低電力化を図れる表示装置を提供することを課題とする。

20 発明の開示

上記のような課題を解決するために、本出願に係る表示装置は、表示を制御するためのデジタルデータ信号を記憶する記憶部と、記憶部が記憶したデジタルデータ信号に基づいて表示制御をする表示制御部とを表示の最小単位であるドット毎に備え、且つこれらを半導体又は絶縁体の基板上に配置したものである。

25

図面の簡単な説明

第1図は、本発明の第1の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。

第2図は、パネル1の駆動部分を詳細に表した図である。

第3図は、アクティブマトリクスLCD部2の各ドットにおいて構成される等価回路を表す図である。

第4図は、VLC及びVCOMの駆動波形の関係例を表す図である。

5 第5図は、行ドライバ3及びデジタルデータドライバ4により入力される信号の各駆動波形例を表す図である。

第6図は、本発明の第2の実施の形態に係るパネル1Aの駆動部分を詳細に表した図である。

10 第7図は、アクティブマトリクスOELD部2Aの各ドットにおいて構成される等価回路を表す図である。

第8図は、第3の実施の形態におけるPWMCLKの1周期の波形を表したものである。

第9図は、本発明の第4の実施の形態に係るパネル1Bの駆動部分を詳細に表した図である。

15 第10図は、アクティブマトリクスOELD部2Bの各ドットにおいて構成される等価回路を表す図である。

第11図は、本発明の第5の実施の形態に係るパネル1Cの駆動部分を詳細に表した図である。

20 第12図は、アクティブマトリクスLCD部2Cの各ドットにおいて構成される等価回路を表す図である。

第13図は、第5の実施の形態における交流信号VLCONの波形を表したものである。

第14図は、本発明の第6の実施の形態における各ドットにおいて構成される等価回路を表す図である。

25 第15図は、TFTディスプレイによる表示装置により表示を行うためのシステムのブロック図である。

(符号の説明)

1、1A、1B、1C パネル

2、2C アクティブマトリクスLCD部
 2A、2B アクティブマトリクスOELD部
 21、21A、21B 記憶回路部
 22、22A、22B、22C アクティブ素子部
 5 23 PWM波形形成回路
 24、24A LC部
 25、25A OEL発光部
 3 行ドライバ部
 31、31A 行デコーダ
 10 32 ワード線ドライバ
 4 デジタルデータドライバ部
 41 列デコーダ
 42 入力制御回路
 43、43A、43B 列選択スイッチ部
 15 5 メモリコントローラ
 6、6A タイミングコントローラ
 61 アドレスバッファ
 62、62A PWMタイミング信号発生回路
 110 デジタルインターフェース
 20 110A CPU

本発明の詳細な説明

本出願に係る表示装置は、表示を制御するためのデジタルデータ信号を記憶する記憶部と、記憶部が記憶したデジタルデータ信号に基づいて表示制御をする表示制御部とを
 25 表示の最小単位であるドット毎に備え、且つこれらを半導体又は絶縁体の基板上に配置したのである。

この表示装置においては、画面表示の制御を行うのに、信号を記憶する記憶部と、記憶部が記憶した信号に基づいて画面表示の制御を行う表示制御部とを、ドット毎に備え

た上、それらを半導体又は絶縁体の基板上につまり各ドットアレイパターン内に集積し、表示領域以外の部分で構成しなければならない回路を減少させることによる省スペース化及び画面表示に必要な全ての信号を記憶することで低電力化を図る。

また、本発明に係る表示装置は、表示の最小単位であるドットのアレイパターンに対応して複数のライト線及び複数のデータ線を配線した各交点に備えられ、ライト線からライト信号が送信され、且つ、表示を制御するためのデジタルデータ信号である画像信号がデータ線から送信されたときに、その画像信号を記憶する、1又は複数の記憶回路で構成される記憶部と、記憶部が記憶している画像信号に基づく値をアナログ信号に変換する変換部と、変換部が変換したアナログ信号に基づいて液晶を用いた階調制御をする表示制御部とをドット毎に備え、半導体又は絶縁体の基板上に配置したものである。

この表示装置においては、1又は複数の記憶回路で構成される記憶部を複数のライト線及び複数のデータ線を配線した各交点に備え、画面表示に必要な全ての画像信号を各記憶部に記憶させ、各ドット毎に、変換部が画像信号に基づく値をアナログ信号に変換し、表示制御部がアナログ信号に基づいて液晶を用いた階調制御をする。そして、これらを半導体又は絶縁体の基板上につまり各ドットアレイパターン内に集積する。

また、本発明に係る表示装置は、記憶部の記憶回路をスタティックな回路で構成するものである。

この表示装置においては、記憶回路をスタティックな回路で構成し、可能な限り、画像信号の長期保持を図る。

また、本発明に係る表示装置の変換部は、画像信号に基づく値を、パルス幅変調し、アナログ信号に変換するものである。

この表示装置においては、変換部が、画像信号に基づく値をアナログ信号に変換するのにパルス幅変調を行う。

また、本発明に係る表示装置の変換部は、画像信号に基づく値を、Y特性に基づくパルス幅に変調したアナログ信号に変換するものである。

この表示装置においては、変換部が、画像信号に基づく値をアナログ信号に変換するのにY特性に基づくパルス幅変調を行う。

また、本発明に係る表示装置の変換部は、一定周期毎にアナログ信号への変換を行う

ものである。

この表示装置においては、画像信号に基づく値をパルス幅に基づいた時間に変換し、制御しているために一定周期を単位とする。また、例えば液晶による表示制御を行う場合には、一定時間毎にリフレッシュを行う必要があり、そのため一定周期毎に変換を行う方が便利である。

また、本発明に係る表示装置の変換部は、一定周期の期間のうち、アナログ信号への変換を行わない期間を設ける。

この表示装置においては、一定周期の期間のうち、アナログ信号への変換を行わない期間を設け、この期間の間に、記憶部への画像信号の変更を行う。

また、本発明に係る表示装置の変換部では、各変換部毎に一定周期の開始時期が異なり、前記アナログ信号への変換を行わない期間が異なる。

この表示装置においては、フリッカを抑えるために、変換部毎に一定周期の開始時期が異なり、前記アナログ信号への変換を行わない期間を異ならせる。実際には、制御等の関係から、行単位又は列単位の変換部毎に行われる。

また、本発明に係る表示装置の表示制御部には、交流駆動電圧が印加される。

この表示装置では、液晶を用いた表示制御を行っている場合、液晶の特性上、偏った電圧印加だと寿命を短くしてしまうので、交流駆動電圧を印加する。

また、本発明に係る表示装置において、交流駆動電圧は、基準電圧V COMに対して $V_{COM} \pm V_a$ で駆動される電圧である。

この表示装置では、消費電力を抑えるために、基準電圧に基づいて交流駆動電圧だけが変化するように、交流駆動電圧を $V_{COM} \pm V_a$ で駆動される電圧とする。

また、本発明に係る表示装置において、交流駆動電圧は、ドットアレイパターンに対応させて配線した2つの電圧印加線により交流反転駆動される電圧である。

この表示装置では、回路構成を簡単にするために、交流駆動電圧をドットアレイパターンに対応させて配線した2つの電圧印加線により交流反転駆動するような電圧とする。

また、本発明に係る表示装置は、ドットアレイの複数の行をグループにし、印加する交流駆動電圧の位相を逆にする、対の行を各グループで設定する。

この表示装置では、フリッカ抑制のために、グループ毎に印加する交流駆動電圧の位相を逆にする、対の行を設定する。

また、本発明に係る表示装置の表示制御部は、液晶を用いた階調制御をする代わりに接続された電流駆動型発光素子の発光をアナログ信号に基づいて制御することで、階調制御をするものである。

この表示装置においては、表示制御部に電流駆動で自発光する電流駆動型発光素子を接続しておき、その発光をアナログ信号に基づいて制御して階調制御を図る。

また、本発明に係る表示装置は、表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線を配線した各交点に備えられ、ライト線からライト信号が送信され、且つ、表示を制御するためのデジタルデータ信号である画像信号がデータ線から送信されると、その画像信号を記憶する、1又は複数の記憶回路で構成される記憶部と、それぞれ、記憶部の各記憶回路とその記憶回路に記憶される画像信号が示す桁の値に対応させた面積を有する電流駆動型発光素子とに接続された1又は複数の能動素子を備え、各記憶回路に記憶された画像信号の値に基づいて電流駆動型発光素子の発光を制御する表示制御部とをドット毎に備え、半導体又は絶縁体の基板上に配置したものである。

この表示装置においては、1又は複数の記憶回路で構成される記憶部を複数のライト線及び複数のデータ線を配線した各交点に備え、画面表示に必要な全ての画像信号を各記憶部に記憶させ、表示制御部において、それぞれ、各記憶回路とその記憶回路に記憶された画像信号が示す桁の値に対応させた面積を有する電流駆動型発光素子とに接続された1又は複数の能動素子が画像信号の値（例えば0又は1）に基づいて、電流駆動型発光素子に供給する電流を制御し、発光を制御する。そして、これらを半導体又は絶縁体の基板上に、つまり各ドットアレイパターン内に集積する。

また、本発明に係る表示装置は、電流駆動型発光素子をEL素子で構成したものである。

この表示装置においては、薄型化、高精細、低消費電力等の特徴を持つ、電流駆動型発光素子の一種であるEL素子で表示させるようにする。

また、本発明に係る表示装置は、電流駆動型発光素子を有機EL素子で構成したもの

である。

この表示装置においては、EL素子の有する薄型化、高精細、低消費電力等の特徴だけでなく、安価、低温プロセス等のさらなる特徴を有する有機EL素子で表示させる。

また、本発明に係る表示装置は、表示の最小単位であるドットのアレイパターンに対応させて複数のライト線及び複数のデータ線を配線した各交点に備えられ、ライト線からライト信号が送信され、且つ、表示を制御するためのデジタルデータ信号である画像信号がデータ線から送信されると、その画像信号を記憶する、1又は複数の記憶回路で構成される記憶部と、それぞれ、記憶部の各記憶回路とその記憶回路に記憶される画像信号が示す桁の値に対応させた面積を有する液晶駆動部とに接続された1又は複数の能動素子を備え、各記憶回路に記憶された画像信号の値に基づいて液晶を駆動制御する表示制御部とをドット毎に備え、半導体又は絶縁体の基板上に配置したものである。

この表示装置においては、1又は複数の記憶回路で構成される記憶部を複数のライト線及び複数のデータ線を配線した各交点に備え、画面表示に必要な全ての画像信号を各記憶部に記憶させ、表示制御部において、それぞれ、各記憶回路とその記憶回路に記憶された画像信号が示す桁の値に対応させた面積を有する例えば画素電極等の液晶駆動部とに接続された1又は複数の能動素子が画像信号の値（例えば0又は1）に基づいて、液晶駆動部に供給する電流を制御し、液晶による表示の明るさを制御する。そして、これらを半導体又は絶縁体の基板上に、つまり、各ドットアレイパターン内に集積する。

また、本発明に係る表示装置は、ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、記憶回路に記憶している画像信号が記憶部から読み出されるものである。

この表示装置においては、ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、記憶回路に記憶している画像信号を読み出すことで、表示装置においてデータの入出力を行う。

また、本発明に係る表示装置は、表示の最小単位であるドットのアレイパターンに対応して複数のワード線及び複数のライト線並びに複数のデータ線が配線され、少なくとも、ライト線からライト信号が送信され、且つデータ線から画像信号が送信されると、

その画像信号を記憶する記憶部及び画像信号及びワード線から送信されるワード信号に基づいて動作する表示制御部を各ドットアレイパターン内に設けた表示駆動部と、ワード線にワード信号を送信する制御をするワード線ドライバ部と、ライト線にライト信号を送信する行を選択し、選択した行にライト信号を送信する行デコーダ部と、データ線を選択する列デコーダ部と、列デコーダ部が選択したデータ線に、表示を制御するためのデータ信号である画像信号を送信する列選択スイッチ部とを半導体又は絶縁体の基板上に集積し、一体形成したものである。

この表示装置においては、表示駆動部には、複数のワード線及び複数のライト線並びに複数のデータ線が配線され、また、ライト信号及び画像信号によりその画像信号を記憶する記憶部と画像信号及びワード信号に基づいて動作する表示制御部が各ドットアレイパターン内に設かれている。そして、ワード信号を送信する制御をするワード線ドライバ部、選択した行にライト信号を送信する行デコーダ部、データ線を選択する列デコーダ部及び画像信号をスイッチング動作により送信する列選択スイッチ部とが設かれている。これらを半導体又は絶縁体の基板上に集積し、一体形成して省スペース化を図る。

また、本発明に係る表示装置の表示駆動部において、記憶部が記憶している画像信号に基づく値をアナログ信号に変換する変換部をさらに各ドットアレイパターン内に設け、表示制御部は、アナログ信号及びワード信号に基づいて動作するものである。

この表示装置においては、表示駆動部において、記憶部と表示制御部との間に変換部をさらに設け、画像信号に基づいて、表示制御部が動作するため、例えばパルス変調によるアナログ信号を生成する。

また、本発明に係る表示装置では、2行分の表示制御部にワード信号を送信するようにワード線を配線する。

この表示装置においては、配線を少なくするために電力供給線であるワード線を、例えば上下2行分の表示制御部で共有させ、ワード信号を送信（電力供給）する。

また、本発明に係る表示装置のワード線ドライバ部及び行デコーダ部は、表示駆動部の行方向の長さに対応して割り付けられ、また、列デコーダ部及び列選択スイッチ部は、表示駆動部の列方向の長さに対応して割り付けられるものである。

この表示装置においては、表示外の部分におけるレイアウトをできるだけ小さくするために、ワード線ドライバ部及び行デコーダ部を、表示駆動部の行方向の長さに対応して割り付け、また、列デコーダ部及び列選択スイッチ部を、表示駆動部の列方向の長さに対応して割り付けて省スペース化を図る。

5 また、本発明に係る表示装置の列選択スイッチ部を構成する各列選択スイッチは、ドットのアレイパターンの幅に対応して割り付けられる。

この表示装置においては、効率のよいレイアウトを行うために、各列選択スイッチをドットのアレイパターンの幅に対応して割り付ける。

また、本発明に係る表示装置は、記憶位置を示すアドレス信号に基づいて、行デコーダ部がライト信号を送信する行を選択するものである。

この表示装置においては、任意の行を選択できるようにするために、行デコーダ部が、アドレス信号に基づいてライト信号を送信する行を選択する。

また、本発明に係る表示装置の列デコーダ部は、アドレス信号に基づいて、データ線を選択するものである。

15 この表示装置においては、任意のデータ線（列）を選択できるようにするために、列デコーダ部がアドレス信号に基づいてデータ線を送信する。

また、本発明に係る表示装置では、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は1画素単位で入力され、また、列デコーダ部は、1画素分の画像信号を記憶させるためのデータ線を選択する。

20 この表示装置においては、カラー表示において、赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は、表示変更の基準となる1画素単位で入力され、また、列デコーダ部は、1画素分の画像信号を記憶させるためのデータ線を選択する。

また、本発明に係る表示装置では、光源色である赤、青及び緑を発色表示させるために設けられた3ドットを1画素とし、画像信号は複数画素単位で入力され、また、列デコーダ部は、複数画素分の画像信号を記憶させるためのデータ線を選択する。

この表示装置においては、カラー表示を行う場合、記憶させるのに用いるクロック周波数を低下させるために、複数画素単位で画像信号を入力し、列デコーダ部はその入力

に基づいて、複数画素分のデータ線を選択する。

また、本発明に係る表示装置は、少なくともアドレス信号を送信するタイミングを制御するタイミングコントローラ部と、画像信号の送信を制御するメモリコントローラ部とをさらに基板上に集積し、一体形成するものである。

この表示装置においては、表示を制御するために必要な周辺回路を全てシステムチップに同一基板上に一体形成する。

発明の実施形態

次に、本発明の好適な実施の形態について、図面に基づいて説明する。

実施の形態 1.

図1は本発明の第1の実施の形態に係る表示装置を含めたシステムの概念を表すブロック図である。図1はシステムオンパネル(SOP)と呼ばれる概念を表している。SOPとは、アクティブマトリクス、周辺駆動回路、メモリ、コントローラ等の表示に関するすべての回路システムを、多結晶シリコンTFT等を用いてガラス等の絶縁基板上に一体形成しようとする概念である。そのため、パネルをCPUと直結することができ、また低コスト、高信頼性、省スペース化を図ることができる。

図1において、デジタルインターフェース110は表示データを送信するCPU110Aで構成されている。また、表示装置であるパネル1の駆動部分は、アクティブマトリクスLCD部2、行ドライバ3、デジタルデータドライバ4、メモリコントローラ5及びタイミングコントローラ6で構成されている。

図2はパネル1の駆動部分を詳細に表した図である。アクティブマトリクスLCD部2は、TFT、ダイオード等のアクティブ素子を用いて表示させ、また、記憶回路部を用いて1画面分の画素信号を記憶する。アクティブマトリクスLCD部2には、 $i \times j$ 個の画素が並べられている。本実施の形態はカラーディスプレイを想定しているので、光源色であるR(Re d)、G(Green)及びB(Blue)の3ドット(サブ画素ともいう)を1画素として構成するものとする。ここで1ドットとは、表示を行うための最小単位である1つの点を表すものとする。モノクロディスプレイの場合は1画素=1ドットである。

図3はアクティブマトリクスLCD部2の各ドットにおいて構成される等価回路を表す図である。それぞれのドットのエリアには、データ線とワード線及びこれらの交点に配置されたアクティブ素子（例えばトランジスタ、ダイオード等によるスイッチング素子）、DAC（例えばPWM波形形成回路）及び記憶回路（例えばラッチ回路）が含まれる。図において、21は記憶回路部（記憶部）であり、1又は複数のメモリセル（記憶回路）で構成されている。図では4つのメモリセルを設けている。ここで、各メモリセルはスタティック（静的）なものであるとする。そのため、一定時間毎にリフレッシュしなくともデータを保持することができる。各メモリセルはWrite（ライト）信号が入力されると、それぞれd0、d1、d2又はd3から送信される2値信号（データ）を保持（記憶）する。ここでは、1ドットにつき、4つのメモリセルを用いてるので、4ビット分の情報量（16通りの値）を保持しておくことができる。各ドットでは、その値に基づいた明るさ（階調）を表現することができる。このメモリセルの数は、後述するkの値と同じ数となる。

23はPWM波形形成回路（変換部）である。PWM波形形成回路23は、一種のカウンタである。記憶回路部21により保持された各画像信号（デジタルデータ）に基づいて、それらの画像信号により示される値をPWM波形（パルス幅のアナログデータ）として表す、いわばデジタル／アナログコンバータ（DAC）である。LCDは、印加された電圧の実行値に応答するため、階調表示を行うためにはデータ信号をアナログ信号に変換しなければならない。さらに、液晶の寿命を確保するためには、一定期間毎に反転する交流電圧を印加しなければならない。そこで、本実施の形態においては、まずデジタルデータをPWM波形形成回路23を用いて、一端、時間軸変調されたアナログタイミング信号に変換した後、そのタイミング信号を用いて交流駆動電圧VLCを液晶に印加する。

22は例えばTFT（Thin Film Transistor）等のようなアクティブ素子部（表示制御部）である。従来のアクティブ素子では、ドレイン（又はソース）とデータ線とが接続され、ゲートとワード線とが接続されていた。図3ではダイナミック（動的）な素子で構成している。また、ドレイン（又はソース）とワード線とが接続され、ゲートとデータ線とが接続されている。したがって、本実施の形態のアクティブ素子は、ワード線

が駆動してスイッチングするのではなく、画像信号に基づく値（PWMによるパルスの幅）に基づいてスイッチング動作を行い、画素電極（図には示していない）が蓄える電荷（画素電極に供給する電流）を調整する。画素電極は対向電極との間に液晶（LC部24）を介した容量を形成している。そして、画素電極と対向電極との間に印加される電圧で、液晶分子による施光性を制御し、各ドットの表示制御を行う。しかも、アクティブ素子部22のスイッチがオフ（非動作期間）でも、画素電極は蓄えた電荷により次のリフレッシュ時（表示データ書き換え時）までその表示状態を維持させることができる。24はLC部である。LC部24は実際にはガラス基板上に形成されていない、被駆動部分である。以上より、各ドットにおける記憶駆動制御は、データ線（d1、d2、d3及びd4）とワード線（Write）とによる信号送信（電流供給、電圧印加）により行われる。また、表示駆動制御は、ワード線（VLC及びVCOM）、PWMCLK及びSetによる信号送信により行われる。ここで、VDD及びVSSは記憶回路部21及びPWM波形形成回路23に電力を供給するために設けられてものである。また、VDD、VSS、VLC、VCOM、PWMCLK及びSetの信号線については、2行間で共用させることができる。これにより、配線数の減少によるレイアウトの簡素化、省スペース化、ドットアレイパターンの面積の拡大化（高開口率）等が図れる。

図2において、ワード線を駆動させる制御を行うのが行ドライバ3である。行ドライバ3は行デコーダ31及びワード線ドライバ32で構成されている。行デコーダ31は、入力されるアドレスデータに基づいて、表示データの記憶又は書き換え（以下、単に記憶という）を行う画素の行を選択し、Write信号を送信する。

図4はVLC及びVCOMの駆動波形の関係例を表す図である。ワード線ドライバ32は、VLC、VCOMを駆動させる。LCDは交流駆動させる必要があるので、少なくともVLCは交流波形にする必要がある。図4(a)は、 $VLC = VCOM \pm V_a$ としたときの波形である。VLCとVCOMとの関係を図4(a)のようにした場合、VCOMは一定でよいので消費電流を抑えることができる。このため、表示エリア（画素数）が少ないほど低消費電力化を図ることができる。したがって反射型でキャラクタ（文字、記号等）表示を行うために用いるLCDに適している。また、全ての行に共通に供給されるVCOMが時間に関係なく一定であるので、各VLCの位相をずらして駆動

させる（走査させる）ことができる。ただし、この場合、電源数が多くなり、回路構成が複雑になる。

一方、図4 (b) は、VLCとVCOMとが逆位相で交流反転するように駆動させたときの波形である。この場合、電源数が少なく、回路構成を簡単にすることができる。

5 ただ、表示させなくても、VCOM自体が電位を変化させているため、各配線とVCOMとの間の容量により電力を消費する。したがって、表示エリアの多少に関係なく、VCOMによる消費電力が大きくなる。また前述したようにVCOMは全ての行に共通である。そのため、全てのVLCについてもVCOMの位相に基づいて駆動させなければならぬので、各VLCの位相をずらして駆動させる（走査させる）ことができない。

10 一方、データ線を駆動させる制御を行うのがデジタルデータドライバ4である。デジタルデータドライバ4は、列デコーダ41、入力制御回路42及び列選択スイッチ部43で構成されている。列デコーダ41は、入力されるアドレスデータに基づいて、1行（ライン）分（j個）の列から、表示データを記憶させる（書き換える）画素が属する列を選択する。これが駆動させるデータ線を選択することになる。入力制御回路42は、メモリコントローラ5から並列送信された1画素分の画像信号（ $k \times 3$ ）の制御を行う回路である。前述したように、kの値と記憶回路部21のメモリセルの数とは同じであり、各ドットを 2^k の階調の明るさで表示するために必要な数である。したがつて、図2ではk=4となり、各ドットにおいては16階調の明るさが設定できる。列選択スイッチ部43は、1画素の画像信号（ $k \times 3$ ）を単位として1ラインの画素の数だけ（つまり $k \times 3 \times j$ ）設けられている。各列選択スイッチは、列デコーダ41の選択及び画像信号に基づいてスイッチングし、データ線に画像信号を送信する（駆動させる）。この列選択スイッチは、各ドットの幅とほぼ同じ幅に対応して構成され、並べられている。したがって、列選択スイッチ部43はアクティブマトリクスLCD部2よりも幅が長くなることはなく、また、配線の面から考えても理想的なレイアウトを図ることができる。

25 メモリコントローラ5は、CPU110Aから送信される表示データを $k \times 3$ の画像信号として制御する。また、タイミングコントローラ6は、少なくともアドレスバッファ61及びPWMタイミング信号発生回路62を有し、CPU110Aから送信される

表示データを記憶させるために、行デコーダ3 1及び列デコーダ4 1にアドレス信号を送信する。また、PWMタイミング信号発生回路6 2にPWMCLKを発生させるためのタイミング信号を送信する。PWMタイミング信号発生回路6 2は、タイミング信号に基づいて、PWM波形形成回路2 3にPWM波形を形成させるための基準となるPW 5 MCLKを発生する。また、Set信号を送信するSet線を選択する。

ガラス基板（パネル）において、最も大きな面積を占めるのは、実際の表示部分となるアクティブマトリクスLCD部2である。しかもその大きさは決まっている。したがって、SOPでは、アクティブマトリクスLCD部2以外の部分に、どれだけ効率よく周辺回路等、システムをレイアウトするか、そして、そのレイアウトを実現できるよう 10 に集積度を高められるかが問題となる。さらに、大きさの決まっているアクティブマトリクスLCD部2を有効に利用するという考え方もできる。そのため、本実施の形態は、各ドットをある階調で表示させるために必要なメモリセル及びDACを各ドット内に形成し、究極の省スペース化を図る。つまり、画素アレイとメモリアレイと同じにして、1画面分の表示データを記憶するメモリセルを設けるためのスペースをアクティブ 15 マトリクスLCD部2外に設けなくてもいいようにしたのである。しかも、各ドット毎に記憶回路を有しているので、1画面分のデータを全て記憶できる。そのため、表示を変更する（表示データを書き換える）画素の表示データだけをやりとりすることで、CPU110Aとのデータのやりとりを少なくし、低消費電力化を図ることもできるよう 20 にする。ただ、従来のTFTだけを形成した場合に比べ、各ドット内において回路が占める面積は大きくなる可能性がある。そのため、バックライトにより背面から光を透過させる方式だと開口率が高くなり、透過率が低くなる可能性がある。したがって、本実施の形態は反射型のLCDに適している方法といえる。

図5は行ドライバ3及びデジタルデータドライバ4により入力される信号の各駆動波形例を表す図である。図に基づいて、本実施の形態における記憶動作及び表示動作について説明する。まず、表示動作について説明する。ここでは、4行を1グループとして表示動作を制御する。ここでは、VLCはPWMCLK40周期を1周期とする（リフレッシュ間隔はPWMCLK20周期分）。これは、表示動作及び記憶動作のそれに必要なPWMCLKによって変わる。

Set信号が入力されると、PWM波形形成回路23は、PWMCLKと記憶回路部21に記憶された画像信号に基づいた幅のパルス波形を生成する。図5においてdat aの部分は、記憶回路部21に記憶された各画像信号により表される値とPWM波形との関係を表している。4つのメモリセルに保持されている画像信号による値が“0000”であるとすると、PWM波形形成回路23はPWMCLK1波長分のパルス幅に変換する。また、“0001”であるとすると、PWM波形形成回路23はPWMCLK2波長分のパルス幅に変換する。同様に、“0010”ではPWMCLK3波長分、“0011”ではPWMCLK4波長分として変換し、最終的に“1111”的値はPWMCLK16波長分に変換する。ここでは4ビット分の値を変換しているので、PWMCLK16周期分で変換できるが、変換する値の範囲によって表示動作に必要なPWMCLKは変わる。

LCDは前述したように交流駆動させなければならないので、すべての画素を少なくともある周波数でリフレッシュしながら駆動する必要がある。ただし、駆動しない画素、つまりオフ状態の画素には全く電圧を印加しなくてよいため、リフレッシュの必要もない。ここで、周波数を低下させると低消費電力を図ることができるが、突き抜け電圧等によるフリッカー（ちらつき）が生じる。低消費電力を図りつつ、フリッカーを目立たなくするには、例えば、静止画であれば、最低30Hzの周波数でリフレッシュ（液晶は15Hz駆動である）するようにPWMCLKを設定し、表示状態を維持する。ここでは、さらにフリッカーを抑えるため、1グループのうち1行目及び2行目のVLCの位相と3行目及び4行目のVLCの位相とを反転させて駆動させている。このように、常に画面の約半分ずつを異なる位相で表示させることで、極性の差による透過率の差を平均化し、フリッカーを目立たなくさせている。ここでは、1、2行目と3、4行目とを反転させるようにしているが、別にこれに限るものではない。

図5では、PWMCLKで約2周期後に次のグループのSet信号が入力されるので、次のグループのVLCの位相はその分ずれる（ただ、40～44行に入力されるVLCの位相はまた同じになる）。ここで大事なことは、VLCの立ち上がりとPWMCLKの立ち上がりとを同じにする必要があるということである。表示動作はPWMCLK、Set、VLC及びVCOMを以上のようなタイミングで動作させることにより行う。

次に記憶動作について説明する。VLCはPWMCLK40周期を1周期としている（リフレッシュ間隔はPWMCLK20周期分）が、PWM波形形成回路23はPWMCLK16周期分しか動作しない。そのため、残りの部分は、PWM波形形成回路23の非動作期間（この期間をT1とする）となる。記憶動作はこの非動作期間T1の間に行う。ここでは、T1をPWMCLK4周期分として設定しているが、記憶動作を行うべき範囲でこのT1の値は調整される。

図5ではPWMCLK半周期毎にWriteに信号が入力されている。そしてWrite信号1つが入力されると、ある行に対して表示データの記憶が行われるものとする。ただし、図1の構造上、入力制御回路2には1回につき1画素分の画像信号（ $k \times 3$ ）しか入力されないし、列デコーダ41も1回につき、1画素分の列しか選択できない。このため、行に対して行うといつても、Write信号の入力と同時に1行分の表示データが変わらわけではない。

また、図5ではWrite信号をPWMCLKに同期させて駆動させているが、特に同期させなければならないわけではない。大事なことは、記憶回路部21に対する記憶動作をPWM波形形成回路23の非動作期間T1の間に行わなければならないという点だけである。したがって、Writeに信号が入力されている間に列デコーダ41が各列を走査して選択し、記憶させていくこともできる。

さらに、余裕があるならば、PWM波形形成回路23が動作していない全てのドット（画素）に対して記憶動作を行うこともできる。ただ、この場合、記憶動作を行うのに必要なクロックの周波数は高くなる。そこで、タイミングコントローラ6のアドレス信号は画素単位で任意に指定でき、またメモリセルはスタティックな回路であることを利用し、書き換えを行う画素だけを選択して非動作期間T1の間に書き換えるようにしてもよい。この場合、CPU110Aは、記憶させる（表示を変更する）表示データだけを送信すればよい。この場合、記憶動作を行う必要がある画素の数は、走査させて記憶動作を行う画素数以下になることは確実である。そのため、記憶動作に必要なクロック周波数を抑えることができ、また、CPU110Aとのやりとりも少なくすることができる、低電力化を図る上ではこの方法で記憶動作を行うのが最も効率的である。

ここで、記憶回路部21に関しても、メモリセルをスタティックメモリで構成していればデータ書き換えを行う（リフレッシュする）必要はないが、ダイナミックメモリで構成していれば、記憶が保持できるようなタイミングでリフレッシュする必要がある。

以上のように第1の実施の形態によれば、表示部分だけでなく、周辺回路を含めた部分もシステムとしてガラス基板上に一体形成するようにし、しかも、各ドットをある階調で表示させるために必要な記憶回路部21（メモリセル）及びPWM波形形成回路23（D A C）を各ドットアレイパターンに合わせて形成するようにしたので、これらの回路をあらためてアクティブマトリクスLCD部2以外にレイアウトし、設計する必要がなく、システムをパネル（ガラス基板）上に形成した上、さらに究極の省スペース化を図ることができる。しかも、各ドットが記憶回路部21を有しているので1画面分の表示データを全て記憶できる。

そのため、CPU110Aから書き換える画素の表示データ分の画像信号だけを送信しても、その画素に対応する記憶回路部21に記憶させることができ、行デコーダ31及び列デコーダ41は画素単位の選択ができるので、システム全体としてデータの送信量を少なくし、低消費電力を図ることができる。さらに、メモリコントローラ5及びタイミングコントローラ6についても、パネル1に一体形成するようにしたので、パネル1をCPU110Aと直結することができ、システム全体を低コスト、高信頼性、省スペース化することができる。

実施の形態2.

図6は本発明の第2の実施の形態に係るパネル1Aの駆動部分を詳細に表した図である。図において、図2と同じ図番を付しているものは、図2と同じ動作を行うので説明を省略する。図において、2AはアクティブマトリクスO E L D (Organic ElectroL uminescent Displays) 部である。アクティブマトリクスO E L D部2Aは、アクティブマトリクスLCD部2のLC部24の代わりにO E L発光部25を用いたものである。O E L発光部25はO E L素子により構成される。O E L素子とは、有機E L素子(Organic ElectroL uminescent devices)のことである。O E L素子は電流駆動型発光素子の一種である。この電流駆動型発光素子は、液晶とは異なり、電流が供給されると発光する自発光素子である。このような電流駆動型発光素子のうち、有機、無機を含め

たEL素子は、次のような特徴を有し、ディスプレイの分野や他の分野で期待されている。OEL素子は、さらに材料が安価であり、研究開発により電気光学的変換効率が高められ、さらなる低電力化が図られている。

- (1) 視野角が広い
- 5 (2) 軽量薄型化が可能
- (3) コントラスト比が高い
- (4) 低消費電力 (バックライトの必要なし)
- (5) 材料を分子設計することにより、様々な光学特性 (色度、分光特性、輝度等) を実現できる
- 10 (6) 電流駆動のため高精細表示が可能

図7はアクティブマトリクスOELD部2Aの各ドットにおいて構成される等価回路を表す図である。図7において、図3と同じ図番を付しているものは、第1の実施の形態で説明したことと同様の動作を行うので説明を省略する。図において、22Aはアクティブ素子部22と同様のアクティブ素子部である。図7ではpチャネルのTFTを用いている。OEL素子は直流(DC)駆動させればよいので、液晶を駆動させるアクティブ素子よりも構造は簡単なものになっている。それに、LCDのように2本(VLC、VCOM)のワード線を設ける代わりに、V20 OELのワード線1本だけを設ければいいので配線を少なくすることができる。25は前述したOEL発光部である。本実施の形態は、第1の実施の形態と同様に、SOPの概念で形成したパネルによる表示動作を、液晶の施光性で行う代わりに、OEL素子を発光させて行うようにしたものである。

次に本実施の形態の動作について説明する。本実施の形態についても、基本的には第1の実施の形態における動作と変わるものではない。ただ、アクティブ素子部22AはpチャネルのTFTであることから、負論理で動作させなければならない。そのため、25 PWM波形形成回路23が画像信号に基づいて変換する波形は、図5のものとは極性が逆になる。また、OEL素子は直流駆動させればよいので、通常、反転駆動によるリフレッシュを必要としない(ただ、図7のアクティブ素子部22Aはダイナミック素子であるので、電流を供給し表示を維持する必要がある)。

以上のように第2の実施の形態によれば、周辺回路を含めた部分もシステムとしてガラス基板上に一体形成し、しかも、各ドットをある階調で表示させるために必要な記憶回路部21及びPWM波形形成回路23を各ドット内に形成するようにしたパネル1Aを有する表示装置において、その表示を液晶駆動で行う代わりに、電流供給により発光する電流駆動型発光素子を用いて行ったので、高精細表示等を図ることができる。しかもバックライト不要であり、低電力化を図ることができる。特に、本実施の形態では、電流駆動型発光素子であるEL素子の中で、OEL素子を発光させて表示を行うようにしなので、大型ガラス基板上で作成でき、薄型大面积化、大容量化（ドットマトリクスの高精細化）、フルカラー化を図ることができる、薄膜素子のEL素子の特徴を有し、さらに材料が安価なため、コストを削減でき、高い電気光学変換効率のため、一層の低電力化を図ることができる。しかも、アクティブマトリクスOELD部2Aは、アクティブマトリクス型のOELDであるので、単純マトリクス型のディスプレイに比べても駆動電圧を大幅に減らすことができ、効率のよい動作点を使えることから、さらに低電力化を図ることができる。その上、EL素子は薄膜素子であるので、SOPに基づいて、システム全体を一体形成した場合には、省スペース化及び薄型化（液晶のようにガラス基板を2枚使い、挟み込む必要もない）を図ることができる。そして、OEL素子の製造工程は、アクティブマトリクス型の要であるTFTの製造工程にくらべて低温のプロセスで実行できる。そのため、TFTを含めた回路をガラス基板上に一体形成した後にOEL素子の形成工程を追加しても、TFTには全く影響がなく、プロセス、歩留まり等様々な面から考えても都合がよい。それに、LCDの場合、表示する行を特定するためのワード線（VLC及びVCOM）を2本設けて配線しなければならないのに対し、OELDの場合、そのワード線（VOEL）が1本でよく、さらなる配線数の減少によるレイアウトの簡素化、省スペース化、ドットアレイパターンの面積の拡大化（高開口率）等が図れる。さらに、各OEL素子を飽和領域で用いることにより、各ドットのアクティブ素子のスレッショルドレベルのばらつきを影響をほとんど受けずに電流を供給させることができる。

実施の形態3.

図8は第3の実施の形態におけるPWMCLKの1周期の波形を表したものである。

第1及び第2の実施の形態では、PWMタイミング信号発生回路62は、PWMCLKを等パルス幅（等周期）で発生させた。本実施の形態は、PWMCLKの発生パルス幅を、例えば γ 補正に基づく関数に基づいて発生させるようにし、そのための回路としてPWMタイミング信号発生回路62Aを設けた。ここで、 γ 補正とは、CCDカメラ等において、入力光量Eと出力値Dとの間にある

5 $D = E^{\gamma}$ のような γ 特性と呼ばれる指数関数の関係を補正することが本来の意味である。ただ、LCDやOELDにおいては、1ドット分の画像信号が示す値と明るさ（輝度）との関係を視覚的に自然な階調表示にするための補正の意味もある。本実施の形態では主に後者の意味で用いることにし、OEL素子に供給する電流を γ 特性に合わせて制御する。

10 そのため、PWMタイミング信号発生回路62Aは、PWMCLKの発生パルス幅を γ 特性の指数関数に基づいて発生させる。そして、PWM波形形成回路23は、画像信号により示される値をPWMCLKの発生パルス幅に基づいて変換したPWM波形を生成する。アクティブ素子部22又はアクティブ素子部22Aによるスイッチング時間をそのPWM波形に基づいて行うことにより、画素電極やOEL素子に供給する電流を制御する。等間隔のパルス幅でPWMCLKを発生させれば、次のグループのセット信号送信は、図4のようにPWMCLK約2パルス後に行うことができる。ここでは、PWMCLKのパルス幅は変化し、その変化が周期となっているので、この周期に合わせてセット信号を送信する必要がある点で第1又は第2の実施の形態の動作とは異なる。

15 20 以上のように第3の実施の形態によれば、PWMCLKのパルス幅を γ 特性の指数関数に基づいて設定し、アクティブ素子部によるスイッチング時間をそのPWMCLKに合わせて作成したPWM波形に基づいて行うことにより、画素電極又はOEL素子に γ 補正に基づいた電流供給を行うことができる。そのため、表示データの値（画像信号に基づく値）と階調（明るさ、輝度）との関係を線形的に表現することができる。

25 実施の形態4.

図9は本発明の第4の実施の形態に係るパネル1Bの駆動部分を詳細に表した図である。図において、図2と同じ図番を付しているものは、図2と同じ動作を行うので説明を省略する。43Aは列選択スイッチ部であり、第1の実施の形態で説明した列選択

スイッチ部 4 3 と同様の動作を行う。本実施の形態では $k = 6$ としているので、その分の列選択スイッチを設けているだけの違いである。また、タイミングコントローラ 6 A もタイミングコントローラ 6 と基本的には同様の動作を行う。ただし、本実施の形態では PWMタイミング信号発生回路 6 2 を設けていないので、タイミング信号を送信しない点で異なる。

図 10 はアクティブマトリクス OELD 部 2 B の各ドットにおいて構成される等価回路を表す図である。図 10において、2 1 A は記憶回路部である。第 1 及び第 2 の実施の形態との違いは、 $k = 6$ であることに対応させ、メモリセルを 6 つ設けている点である。また、2 2 B はアクティブ素子部 2 2 A と同様のアクティブ素子部であるが、アクティブ素子部 2 2 B は、メモリセルと直接接続されたアクティブ素子がメモリセル分 (図 10 では 6 つ) 設けられている点でアクティブ素子部 2 2 A とは異なる。2 5 A は OEL 発光部である。図 10 では、6 つの OEL 素子が各アクティブ素子と接続されている。ここで、実際には、各 OEL 素子の面積は、接続された各メモリセルの画像信号が示す値 (2^{k-1}) に対応し、その面積比は、 $S_1 : S_2 : S_3 : S_4 : S_5 : S_6 = 1 : 2 : 4 : 8 : 16 : 32$ となっている。そして、面積に比例した明るさで発光するように設定されている。

本実施の形態は、各メモリセル及び各アクティブ素子に接続された面積の異なる OEL 素子を組み合わせて発光させ、その発光面積により各ドットの階調を表現するものである。そして、各ドットには第 2 の実施の形態ように DAC (PWM 波形形成回路 2 3) を設けずに、回路の簡素化を図ろうとするものである。また、PWM CLK 及び $S_e t$ の信号線及びその信号を送信する PWMタイミング信号発生回路 6 2 を設けずに、配線の簡素化及び周辺回路の省略による省スペース化を図るものである。

次に図 9 及び図 10 に基づいて本実施の形態の動作について説明する。記憶動作については、第 1 の実施の形態で説明したことと同様の動作が行われ、表示の非動作期間 T_1 を用いて、 d_5, d_4, d_3, d_2, d_1 及び d_0 に、それぞれ 2^{k-1} ($k = 1 \sim 6$) の値を表す画像信号が入力される。

次に表示動作について説明する。記憶回路部 2 1 A の各メモリセルに記憶された画像信号に基づいて、アクティブ素子部 2 2 B の各アクティブ素子ではスイッチング動作が

行われている。ここで、画像信号が“1”を示しているならば、アクティブ素子によりスイッチがオンされている状態、“0”を示しているならばスイッチがオフされている状態であるとする。ワード線ドライバ32がVOELを駆動させる。これにより、スイッチがオンしているアクティブ素子と接続されているOEL素子には電流が供給される。表示動作は、全ての行のVOELを常時駆動させて行うこともできるが、記憶動作を行うために非動作期間T1を設けておく必要がある。各行の非動作期間T1と同じにしておくとフリッカが生じる可能性があるので、各行の非動作期間T1をずらせておくのが望ましい。このタイミングは、ワード線ドライバ32がVOELの駆動を調整することにより行う。

10 以上のように第4の実施の形態によれば、記憶回路部21Aの各メモリセルに対応させてアクティブ素子部22B及びOEL発光部25Aにおける各素子を接続し、そして、各メモリセルの画像信号が示す桁の値と各メモリセルに接続されたOEL素子の面積とを対応させておき、入力された画像信号に基づいてOEL発光を制御して発光面積を制御することで各ドットの階調を表現するようにしたので、各ドット毎にDACを設けなくてもよく、回路の簡素化を図ることができる。また、そのため、PWMCLK及びSetのような信号線及びその信号を送信するPWMタイミング信号発生回路62のような回路を設けなくてもよいので、配線の簡素化及び周辺回路の省略による省スペース化を図ることができる。さらに、前述したように、OEL素子を飽和領域で用いることにより、各ドットのアクティブ素子部22Bのスレッショルドレベルの影響をほとんど受けないで電流を供給させることができる。

実施の形態5.

図11は本発明の第5の実施の形態に係るパネル1Cの駆動部分を詳細に表した図である。図において、図9と同じ図番を付しているものは、図9と同じ動作を行うので説明を省略する。本実施の形態では、 $k=4$ としているので、これに相当する列選択スイッチ部43Bを設けている。また、アクティブマトリクスOELD部2Bに代えてアクティブマトリクスLCD部2Cを備えている。

図12はアクティブマトリクスLCD部2Cの各ドットにおいて構成される等価回路を表す図である。図12において、22Cはアクティブ素子部であってメモリセル分

(図12では4つ)設けられている。前記アクティプ素子は、例えば二つのNチャネル型のTFT等で構成され、一方のアクティプ素子22Caのゲートにはメモリセルの出力が入力され、他方のアクティプ素子22Cbのゲートにはメモリセルの反転出力が入力されるようになっている。前記メモリセル(記憶回路21)は、上記各実施の形態と同様に、1又は複数のラッチ回路に代表されるスタティック(静的)なメモリセルで構成されている。そして、記憶回路21の記憶データがアクティプ素子22Caのゲートに供給され、記憶回路21の記憶データの反転データがアクティプ素子22Cbのゲートに供給されている。

また、24AはLC部であって、メモリセル分(図12では4つ)設けられている。
10 そして、これらLC部24Aは、対向電極と各アクティプ素子部22Cとの間にそれぞれ介挿され、前記アクティプ素子22Ca及び22Cbのドレイン(又はソース)側に接続されている。

そして、前記メモリセルの出力が供給されるアクティプ素子22Caのソース(又はドレイン)側は、所定時間毎に反転する交流信号VLCONの信号線と接続され、メモリセルの反転出力が供給されるアクティプ素子22Cbのソース(又はドレイン)側は、対向電極の電位VCOMである直流信号VLCOFFの信号線と接続されている。

前記交流信号VLCONは、図13に示すように、対向電極の電位VCOMを基準として所定時間毎に反転する信号であって、前記LC部24Aをオン状態にし得る交流電圧である。また、前記直流信号VLCOFFは、LC部24Aをオフ状態にし得る直流電圧である。これら交流信号VLCON及び直流信号VLCOFFは、ワード線ドライバ32において生成されるようになっている。

そして、前記LC部24Aの図示しない画素電極は、互いに異なる面積を有しており、例えば、図12において、右側から順に、LC部24Aの画素電極の面積をS1、S2、S3、S4とすると、その面積比は、S1:S2:S3:S4=1:2:4:8となっている。

本実施の形態は、面積の異なる画素電極を有する複数のLC部24Aを組み合わせて画素電極及び対向電極間に同一の電圧を印加させ、その面積の違いに伴う明るさの違いによって各ドットの階調を表現するものである。そして、上記第4の実施の形態と同様

に、各ドットには、第1の実施の形態のようにD A C (P W M波形形成回路23)を設けずに、回路の簡素化を図ろうとするものであり、また、P W M C L K及びS e tの信号線及びその信号を送信するP W Mタイミング信号発生回路62を設けずに、配線の簡素化及び周辺回路の省略による省スペース化を図るものである。

5 次に、図12に基づいて本実施の形態の動作について説明する。記憶動作については、第1の実施の形態で説明したことと同様の動作が行われ、表示の非動作期間T1を用いて、d3、d2、d1及びd0にそれぞれ、 2^{k-1} ($k=1 \sim 4$) の値を表す画像信号が入力される。

次に表示動作について説明する。記憶回路部21の各メモリセルに記憶された画像信号に基づいて、アクティブ素子部22Cの各アクティブ素子では、スイッチング動作が行われている。ここで、画像信号が“1”を示しているならば、アクティブ素子22Caはスイッチがオン、アクティブ素子22Cbはスイッチがオフされている状態、“0”を示しているならばアクティブ素子22Caはオフ、アクティブ素子22Cbはオンされている状態であるとする。ワード線ドライバ32では、所定周期で反転する交流信号V_{LCON}及び対向電極電位V_{COM}の直流信号V_{LCON}を出力する。これにより、画像信号が“1”的場合には、アクティブ素子22Caはスイッチがオン、アクティブ素子22CbはスイッチがオフとなってLC部24Aの画素電極には交流信号V_{LCON}が印加される。

逆に、画像信号が“0”的場合には、アクティブ素子22Caはスイッチがオフ、アクティブ素子22Cbはスイッチがオンとなって、LC部24Aには直流信号V_{LOFF}つまり対向電極電位V_{COM}が印加される。

このとき、各画素電極の面積は、その面積比が、1:2:4:8となるように設定されているから、同一の電位が印加された場合であっても各LC部24A毎にその明るさが異なることになって階調表示が行われることになる。

25 以上のように第5の実施の形態によれば、記憶回路部21の各メモリセルに対応させて、アクティブ素子部22C及び画素電極の面積の異なるLC部24Aを接続し、入力された画像信号に基づいてLC部24Aの明るさを制御することで各ドットの階調を表現するようにしたので、各ドット毎にD A Cを設けなくてもよく、回路の簡素化を図

ることができ、上記第4の実施の形態と同様に、省スペース化を図ることができる。

また、この場合、直流信号VLCOFFとして、対向電極電位VCOMを印加するようしているから、直流信号VLCOFF用の電源を新たに設けなくてもよく、回路の簡素化を図ることができる。

5 また、この第5の実施の形態においても、VDD、VSS、VLCON、VLCOFの信号線を、2行間で共用させることができ、配線数の減少によるレイアウトの簡素化、省スペース化、ドットアレイパターンの面積の拡大化（高開口率）等が図れる。

実施の形態6.

図14は本発明の第6の実施の形態における各ドットにおいて構成される等価回路

10 を表す図である。図14において図7と同じ図番を付しているものは図7と同じ動作を行うので説明を省略する。21Bは記憶回路部である。第1の実施の形態で説明した記憶回路部21と異なる点は、記憶させた画像信号を読み出せるようにしたことである。したがって、画像信号を表示のためだけに記憶するのではなく、例えばCPU110Aと表示データのやりとりを行う等の用途に用いることができる。

15 記憶回路部21Bから表示データの読み出しを行うタイミングは、同じ画素に対して、表示データのWrite（ライト、記憶）とRead（表示データの読み出し）とは同時に行うことができないのは言うまでもない。そして、構造の関係上、データ線はWriteとReadを共有して使っている（読み出しと記憶の経路が同じである）ので、別の画素についてWriteしているときでもReadはできない。以上より、ある
20 画素についてWriteしていないときは、Readできることになる。それに、特に表示タイミングと同期させているわけではないので、表示に影響を与えない範囲であれば表示動作期間に読み出してもよい。

以上のように第6の実施の形態によれば、記憶回路部21Bから表示データ（画像信号）を読み出せるようにし、他の用途に用いることができるので、読み出す速度は、通常のメモリ等に比べると遅いものの、表示データに関して言えば、コストや占有面積等の点で記憶回路（メモリ）を節約することができる。

なお、この第6の実施の形態においては、図7に示す第2の実施の形態において、記憶回路部21Bから表示データを読み出させるようにした場合について説明したが、図

12に示す第5の実施の形態における記憶回路部21に適用することも可能である。この場合、上記第6の実施の形態と同様に、記憶回路部21を、記憶させた画像信号を読み出せるように構成すればよく、このようにすることによって、上記第6の実施の形態と同等の作用効果を得ることができる。

5 実施の形態7.

上述の実施の形態では、列デコーダ41が1回で選択できる画素を1つとしたが、本発明ではそれに限定されるものではない。複数画素ずつを組として構成し、列デコーダ41は、その組毎にデータ線を選択できるようにする。また、入力制御回路42に入力され表示データの数をそれに合わせ（2倍の場合、画像信号は $k \times 2 \times 3$ ）、組の表示データを一度に入力制御できるようにしておく。このような構成にすることで、複数表示データを一度に扱うことができ、配線は多くなるが、1画素ずつ記憶させる場合より、記憶に必要なクロックの周波数を低くすることができ、低電力消費を図ることができる。

16 発明の効果

以上のように、この表示装置では、画面表示の制御を行うのに、信号を記憶する記憶部と、記憶部が記憶した信号に基づいて画面表示の制御を行う表示制御部とを、ドット毎に備えた上、それらを半導体又は絶縁体の基板上に、つまり各ドットアレイパターン内に集積するようにしたので、表示領域以外の部分で構成しなければならない回路を少なくすることができ、省スペース化を図ることができる。

また、この表示装置では、1又は複数の記憶回路で構成され、デジタルデータ信号の画像信号を記憶する記憶部と、画像信号に基づく値をアナログ信号に変換する変換部と、アナログ信号に基づいて液晶を用いた階調制御をする表示制御部とを、各ドット毎に設け、半導体又は絶縁体の基板上に、つまり各ドットアレイパターン内に集積するようにしたので、表示領域に合わせて集積することで、表示領域外にこれらをレイアウトする必要もなく、省スペース化を図ることができる。この発明は透過率等の問題から反射型の液晶表示装置に特に有効である。また、各ドット毎に記憶部を設け、画面表示に必要な全ての信号を記憶するようにしたので、信号のやりとりを少なくすることもでき、

これによる低電力化が図れる。

また、この表示装置においては、記憶回路をスタティックな回路で構成し、ダイナミックな回路に比べて画像信号の長期保持を図ることができるので、素子数が多くなるものの、表示が変化しない部分については記憶を変更する必要がなく、そのため画像信号のやりとりを少なくすることもでき、低電力化が図れる。

また、この表示装置では、変換部が、画像信号に基づく値をアナログ信号に変換するのにパルス幅変調を行うようにしたので、画像信号を効率よくアナログ信号に変換することができる。

また、この表示装置では、変換部が、画像信号に基づく値をアナログ信号に変換するのにγ特性に基づくパルス幅変調を行うようにしたので、画像信号に基づく値と明るさとの関係を線形的に表現させることができる。

また、この表示装置では、前記変換部が、一定周期毎に前記アナログ信号への変換を行うので、例えば液晶による表示制御を行う場合には、一定時間毎にリフレッシュを行う必要がある場合等に便利である。

また、この表示装置では、一定周期の期間のうち、アナログ信号への変換を行わない期間を設けたので、この期間の間に記憶部への画像信号の変更を行うことができ、表示の安定化を図ることができる。

また、この表示装置では、変換部毎に一定周期の開始時期が異なり、前記アナログ信号への変換を行わない期間を異ならせるようにしたので、非動作期間をそれぞれ異なることができ、フリッカを抑えることができる。

また、この表示装置では、交流駆動電圧を印加するようにしたので、液晶を用いた表示を行う場合でも寿命を長くすることができる。

また、この表示装置では、基準電圧V_{COM}に対してV_{COM}±V_aで駆動される電圧を交流駆動電圧としたので、消費電力を抑えることができる。しかも、基準電圧はどの行においても一定なので、走査させることができる。

また、この表示装置では、ドットアレイパターンに対応させて配線した2つの電圧印加線により交流反転駆動される電圧を交流駆動電圧としたので、駆動させる回路の構成を簡単にすることができる。

また、この表示装置では、対の行で逆位相の交流駆動電圧を印加するようにしたので、フリッカ（ちらつき）を抑えることができる。また、この対の行で、その電圧が印加される線を共有することもできる。

また、この表示装置では、表示制御部に電流駆動型発光素子を接続しておき、その発光をアナログ信号に基づいて制御して階調制御を図るようしたので、省スペース化できる上に、さらに電流駆動型発光素子を用いることによる低電力化を図ることができる。それに、電流駆動型発光素子を飽和領域で用いることで、表示制御部が有する動作条件のばらつきの影響をほとんど受けずに表示させることができる。

また、この表示装置では、1又は複数の記憶回路、能動素子及び電流駆動型発光素子をそれぞれ対応させて接続し、各電流駆動型発光素子には、接続された画像信号が示す桁の値に対応させた面積を有させることにより、面積による階調表示ができるので、変換部のような回路を設けなくても画像信号を直接用いた階調制御が可能である。それに、電流駆動型発光素子を飽和領域で用いることで、表示制御部が有する動作条件のばらつきの影響をほとんど受けずに表示させることができる。

また、この表示装置においては、EL素子で表示させるようにしたので、高精細、薄型大面積化、大容量化等で表示することができる。また、透過型LCDのようにバックライトを使わなくてもよいので、低消費電力化を図ることができる。

また、この表示装置においては、有機EL素子で表示させるようにしたので、EL素子のように高精細で表示することができるだけでなく、安価な材料で、さらに電気光学変換効率がよいので、さらなる低電力化を図ることができる。また、透過型LCDのようにバックライトを使わなくてもよいので、低消費電力化を図ることができる。

また、この表示装置では、1又は複数の記憶回路、能動素子及び液晶をそれぞれ対応させて接続し、各液晶を駆動する液晶駆動部には、接続された画像信号が示す桁の値に対応させた面積を有させることにより、面積による階調表示ができるので、変換部のような回路を設けなくても画像信号を直接用いた階調制御を行うことができる。

また、この表示装置では、記憶回路に記憶している画像信号を読み出せるようにしたので、表示装置が記憶手段として動作できることとなる。そのため、記憶手段の節約ができる。

また、この表示装置では、記憶部と表示制御部とが各ドットアレイパターン内に設けられた表示駆動部、ワード信号を送信する制御をするワード線ドライバ部、選択した行にライト信号を送信する行デコーダ部、データ線を選択する列デコーダ部及び画像信号をスイッチング動作により送信する列選択スイッチ部とが半導体又は絶縁体の基板上に集積するようにしたので、表示部分だけでなく、周辺回路を含めた部分も全てチップ等を用いずに一体形成できる。しかも、記憶部は各ドットアレイパターン内に設けられているので、表示領域外にレイアウトする必要がなく、さらに究極の省スペース化を図ることができる。

また、この表示装置では、表示駆動部において、画像信号をアナログ信号に変換する変換部をドットアレイパターン内に設けるようにしたので、さらに省スペース化を図ることができる。

また、この表示装置では、ワード線を2行分の表示制御部で共有させ、ワード信号を送信（電力供給）するようにしたので、配線を少なくすることができ、レイアウトの簡素化、省スペース化、高開口率等を図ることができる。

また、この表示装置においては、ワード線ドライバ部及び行デコーダ部を、表示駆動部の行方向の長さに対応して割り付け、また、列デコーダ部及び列選択スイッチ部を、表示駆動部の列方向の長さに対応して割り付けるようにしたので表示領域以外のレイアウトをできるだけ小さくすることができ、省スペース化が図れる。

また、この表示装置では、各列選択スイッチをドットのアレイパターンの幅に対応して割り付けるようにしたので、効率のよいレイアウトを行うことができる。

また、この表示装置では、行デコーダ部が、アドレス信号に基づいてライト信号を送信する行を選択するようにしたので、変更する行を選択するのに自由度の高い選択ができる。

また、この表示装置では、列デコーダ部がアドレス信号に基づいてデータ線を選択することで、自由度の高い選択ができる。

また、この表示装置においては、列デコーダ部は、1画素分の画像信号を記憶させるためのデータ線を選択するようにしたので、表示変更の基準となる1画素単位で入力することができる。

また、この表示装置では、カラー表示を行う場合、複数画素単位で画像信号を入力し、列デコーダ部はその入力に基づいて、複数画素分のデータ線を選択するようにしたので、配線は複雑になるが、記憶させるのに用いるクロック周波数を低くすることができ、低消費電力化を図ることができる。また単結晶FETよりも特性が劣るアクティプ素子を表示制御部として動作させても、十分な動作が得られる。

5 さらに、この表示装置では、表示を制御するために必要な周辺回路を全てシステムティックに同一基板上に一体形成するようにしたので、システム全体の低コスト化、高信頼性、省スペース化を図ることができる。

請求の範囲

1. 表示を制御するためのデジタルデータ信号を記憶する記憶部と、
該記憶部が記憶した前記デジタルデータ信号に基づいて表示制御をする表示制御部
5 と、
を表示の最小単位であるドット毎に備え、且つこれらを半導体又は絶縁体の基板上に配
置するようにしたことを特徴とする表示装置。
2. 1 表示の最小単位であるドットのアレイパターンに対応して複数のライト線及び複
数のデータ線を配線した各交点に備えられ、前記ライト線からライト信号が送信され、
10 且つ表示を制御するためのデジタルデータ信号である画像信号が前記データ線から送
信されたとき、その画像信号を記憶する、1 又は複数の記憶回路で構成される記憶部と
該記憶部が記憶している画像信号に基づく値をアナログ信号に変換する変換部と、
該変換部が変換したアナログ信号に基づいて液晶を用いた階調制御をする表示制御
15 部と、
を前記ドット毎に備え、且つこれらを半導体又は絶縁体の基板上に配置するようにした
ことを特徴とする表示装置。
3. 前記記憶部の記憶回路をスタティックな回路で構成することを特徴とする請求項
2 記載の表示装置。
- 20 4. 前記変換部は、前記画像信号に基づく値をパルス幅変調し、前記アナログ信号に
変換することを特徴とする請求項 2 又は 3 記載の表示装置。
5. 前記変換部は、前記画像信号に基づく値を、y特性に基づくパルス幅に変調した
前記アナログ信号に変換することを特徴とする請求項 2 又は 3 記載の表示装置。
6. 前記変換部は、一定周期毎に前記アナログ信号への変換を行うことを特徴とする
25 請求項 2 又は 3 記載の表示装置。
7. 前記一定周期の期間のうち、前記アナログ信号への変換を行わない期間を設ける
ことを特徴とする請求項 6 記載の表示装置。
8. 前記各変換部は、一定周期の開始時期が異なり、前記アナログ信号への変換を行

わない期間を異ならせることを特徴とする請求項7記載の表示装置。

9. 前記一定周期に対応した交流駆動電圧が前記表示制御部に印加されることを特徴とする請求項6記載の表示装置。

10. 前記交流駆動電圧は、基準電圧V COMに対して $V COM \pm V a$ で駆動される電圧であることを特徴とする請求項9記載の表示装置。

5 11. 前記交流駆動電圧は、前記ドットアレイパターンに対応させて配線した2つの電圧印加線により交流反転駆動される電圧であることを特徴とする請求項9記載の表示装置。

12. 前記ドットアレイの複数の行をグループにし、印加する前記交流駆動電圧の位10相を逆にする、対の行を前記各グループで設定することを特徴とする請求項9記載の表示装置。

13. 前記表示制御部は、液晶を用いた階調制御をする代わりに、接続された電流駆動型発光素子の発光を前記アナログ信号に基づいて制御することで、階調制御することを特徴とする請求項2又は3記載の表示装置。

14. 表示の最小単位であるドットのアレイパターンに対応して複数のライト線及び複数のデータ線を配線した各交点に備えられ、前記ライト線からライト信号が送信され、且つ、表示を制御するためのデジタルデータ信号である画像信号が前記データ線から送信されたとき、その画像信号を記憶する、1又は複数の記憶回路で構成される記憶部と、
15

20 それぞれ、前記記憶部の各記憶回路とその記憶回路に記憶される画像信号が示す桁の値に対応させた面積を有する電流駆動型発光素子とに接続された1又は複数の能動素子を備え、前記各記憶回路に記憶された画像信号の値に基づいて前記電流駆動型発光素子の発光を制御する表示制御部とをドット毎に備え、且つこれらを半導体又は絶縁体の基板上に配置するようにしたことを特徴とする表示装置。

25 15. 前記電流駆動型発光素子をEL素子で構成したことを特徴とする請求項13又は14記載の表示装置。

16. 前記電流駆動型発光素子を有機EL素子で構成したことを特徴とする請求項13又は14記載の表示装置。

17. 表示の最小単位であるドットのアレイパターンに対応して複数のライト線及び複数のデータ線を配線した各交点に備えられ、前記ライト線からライト信号が送信され、且つ、表示を制御するためのデジタルデータ信号である画像信号が前記データ線から送信されたとき、その画像信号を記憶する、1又は複数の記憶回路で構成される記憶部

5 と、

それぞれ、前記記憶部の各記憶回路とその記憶回路に記憶される画像信号が示す桁の値に対応させた面積を有する液晶駆動部とに接続された1又は複数の能動素子とを備え、前記各記憶回路に記憶された画像信号の値に基づいて液晶を用いた階調制御を行う表示制御部とをドット毎に備え、且つこれらを半導体又は絶縁体の基板上に配置するよう

10 としたことを特徴とする表示装置。

18. 前記ドットのアレイパターンに対応させて複数のリード線をさらに配線し、リード信号が送信されると、前記記憶回路に記憶している前記画像信号が前記記憶部から読み出されることを特徴とする請求項2、3及び請求項14、17の何れかに記載の表示装置。

19. 表示の最小単位であるドットのアレイパターンに対応して複数のワード線及び複数のライト線並びに複数のデータ線が配線され、少なくとも、前記ライト線からライト信号が送信され、且つ前記データ線から前記画像信号が送信されたとき、その画像信号を記憶する記憶部及び前記画像信号及び前記ワード線から送信されるワード信号に基づいて動作する表示制御部を各ドットアレイパターン内に設けた表示駆動部と、

20 前記ワード線にワード信号を送信する制御をするワード線ドライバ部と、

前記ライト線にライト信号を送信する行を選択し、選択した行にライト信号を送信する行デコーダ部と、

前記データ線を選択する列デコーダ部と、

該列デコーダ部が選択した前記データ線に、表示を制御するためのデータ信号である画像信号を送信する列選択スイッチ部とを半導体又は絶縁体の基板上に集積し、一体形成したことを特徴とする表示装置。

20. 前記表示駆動部において、前記記憶部が記憶している画像信号に基づく値をアナログ信号に変換する変換部をさらに各ドットアレイパターン内に設け、前記表示制御

部は、前記アナログ信号及び前記ワード信号に基づいて動作することを特徴とする請求項 19 記載の表示装置。

21. 2 行分の前記表示制御部に前記ワード信号を送信するように前記ワード線を配線することを特徴とする請求項 19 記載の表示装置。

5 22. 前記ワード線ドライバ部及び前記行デコーダ部は、前記表示駆動部の列方向の長さに対応して割り付けられ、また、前記列デコーダ部及び前記列選択スイッチ部は、前記表示駆動部の行方向の長さに対応して割り付けられることを特徴とする請求項 19 又は 20 記載の表示装置。

10 23. 前記列選択スイッチ部を構成する各列選択スイッチは、前記ドットのアレイパターンの幅に対応して割り付けられることを特徴とする請求項 19 記載の表示装置。

24. 記憶位置を示すアドレス信号に基づいて、前記行デコーダ部は前記ライト信号を送信する行を選択することを特徴とする請求項 19 又は 20 記載の表示装置。

25. 前記列デコーダ部は、前記アドレス信号に基づいて、前記データ線を選択することを特徴とする請求項 23 記載の表示装置。

15 26. 光源色である赤、青及び緑を発色表示させるために設けられた 3 ドットを 1 画素とし、前記画像信号は 1 画素単位で入力され、また、前記列デコーダ部は、1 画素分の前記画像信号を記憶させるためのデータ線を選択することを特徴とする請求項 25 記載の表示装置。

27. である赤、青及び緑を発色表示させるために設けられた 3 ドットを 1 画素とし、前記画像信号は複数画素単位で入力され、また、前記列デコーダ部は、複数画素分の前記画像信号を記憶させるためのデータ線を選択することを特徴とする請求項 25 記載の表示装置。

28. 少なくとも前記アドレス信号を送信するタイミングを制御するタイミングコントローラ部と、

25 前記画像信号の送信を制御するメモリコントローラ部とをさらに前記基板上に積み重ね、一体形成することを特徴とする請求項 19 記載の表示装置。

要約書

表示を制御するための画像信号を記憶する記憶回路 21 部と、記憶回路部 21 が記憶した画像信号に基づいて表示制御をするアクティブ素子部 22 とを表示の最小単位で

5 あるドット毎に備え、パネル 1 の基板上に、各ドットパターンに対応させて集積することにより、省スペース化等を図れる表示装置を提供する。

Fig. 1

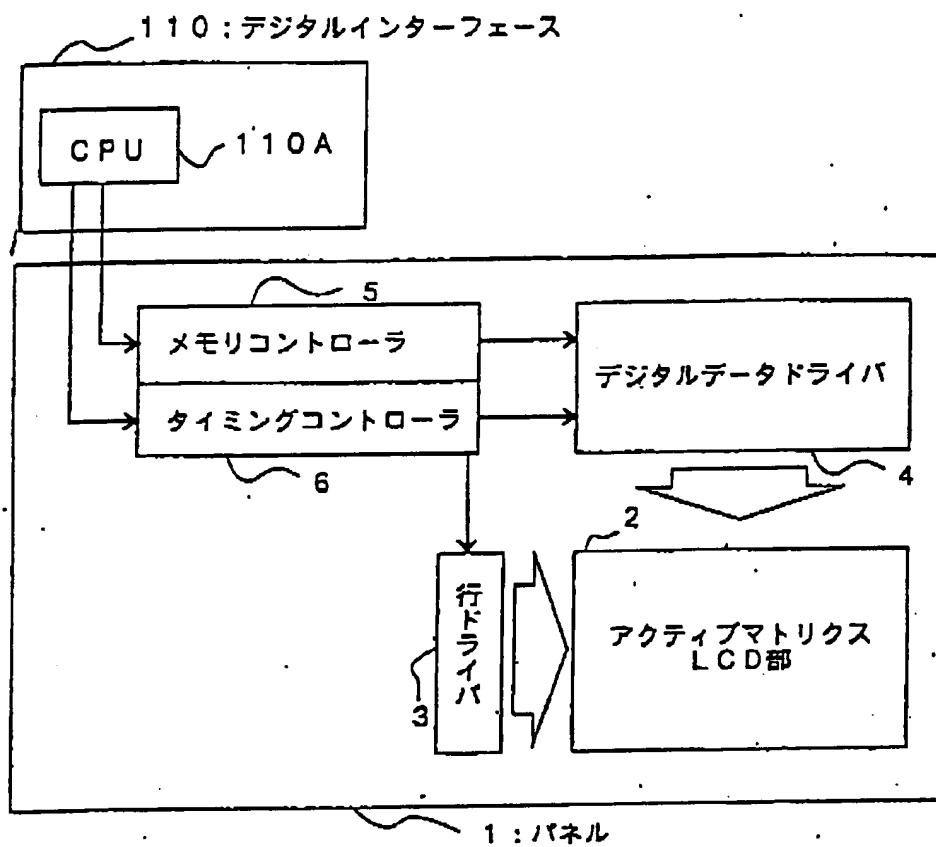


Fig. 2

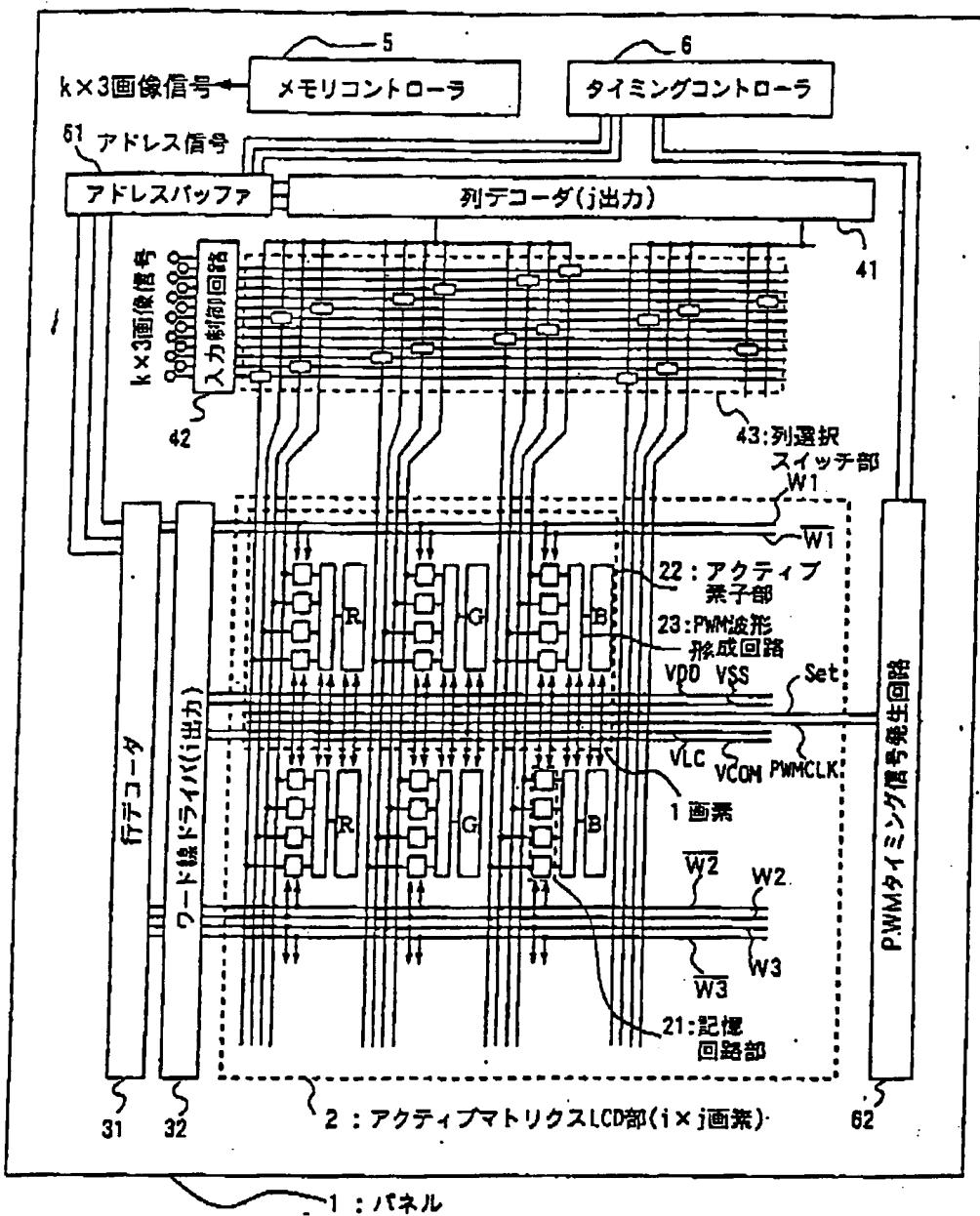


Fig. 3

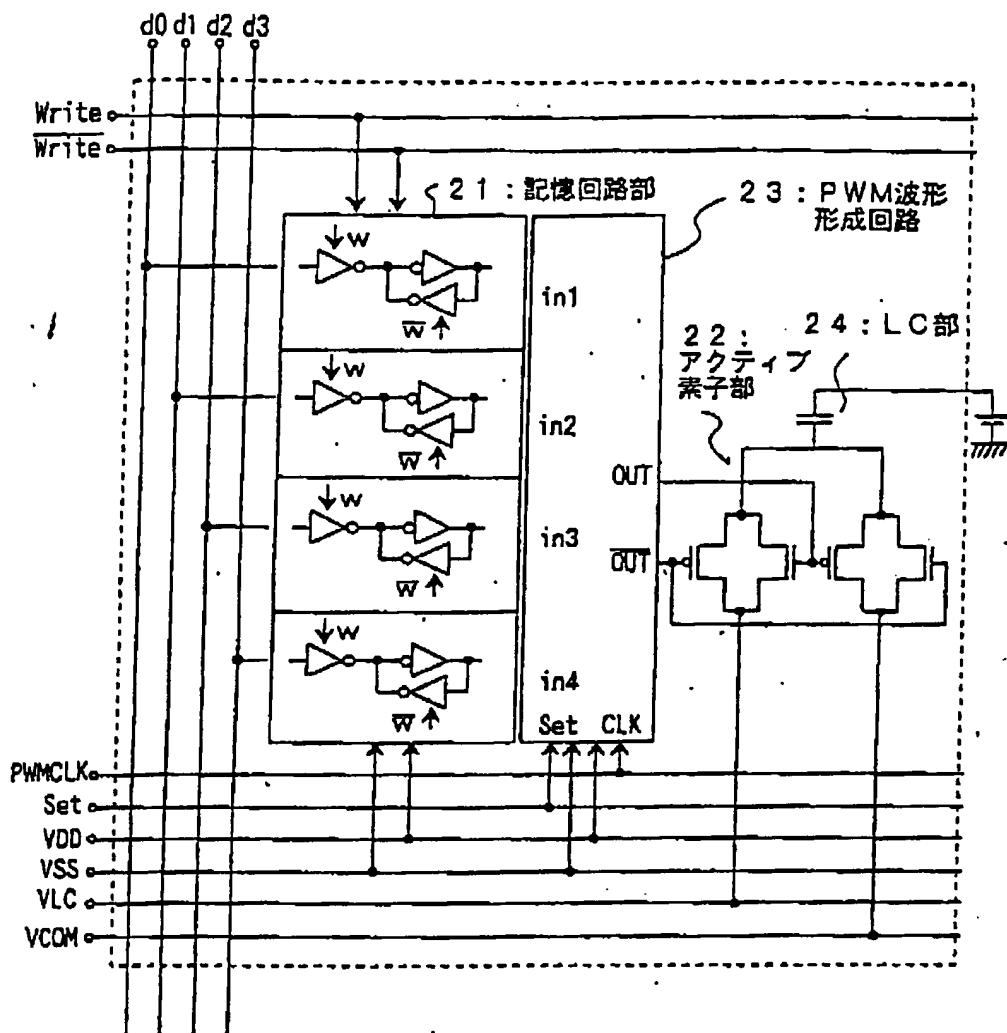
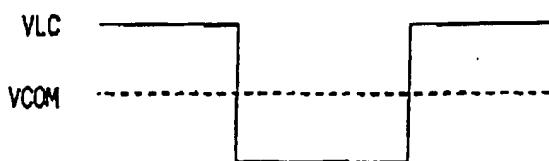


Fig. 4

(a)



(b)

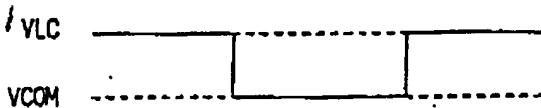


Fig. 5

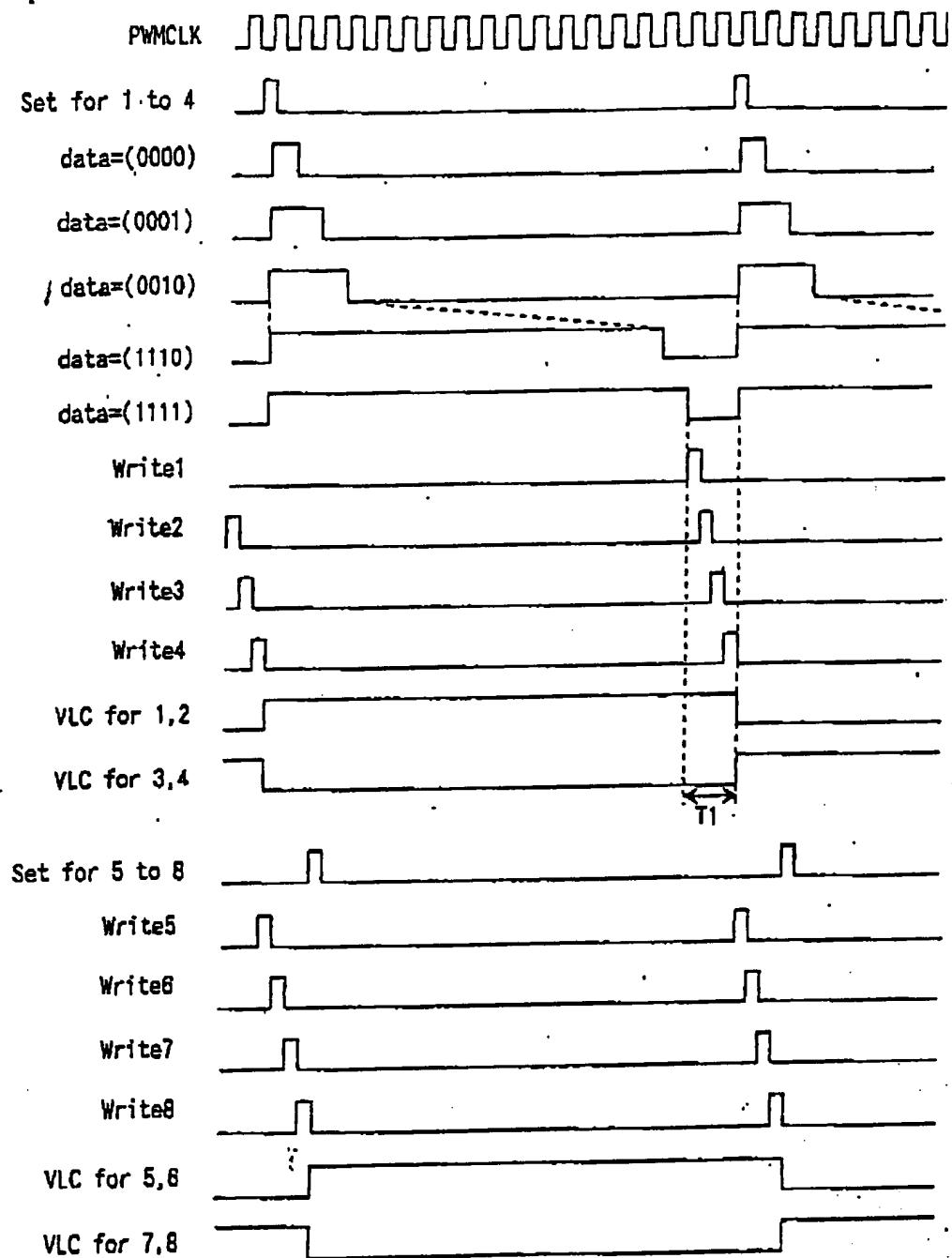


Fig. 6

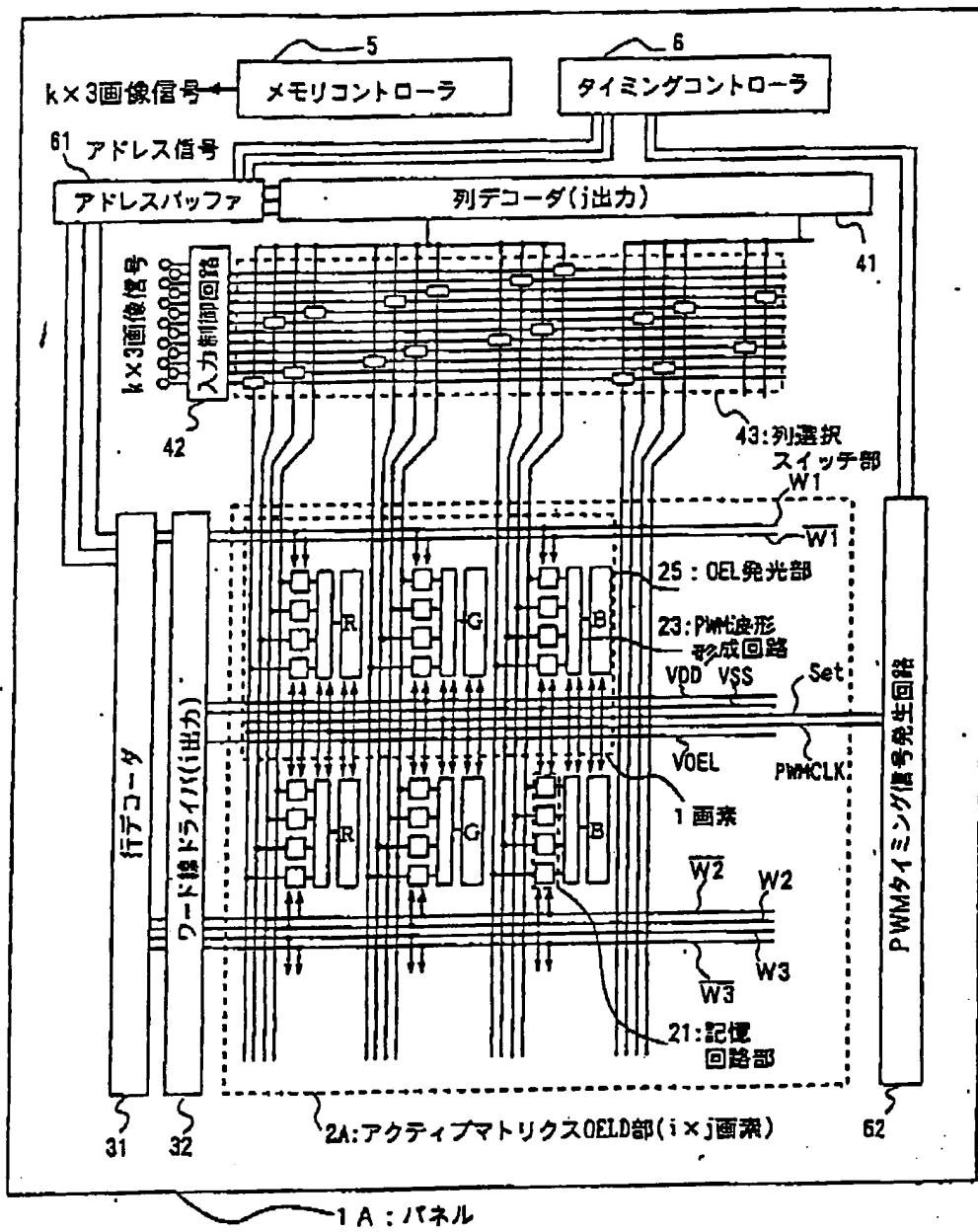


Fig. 7

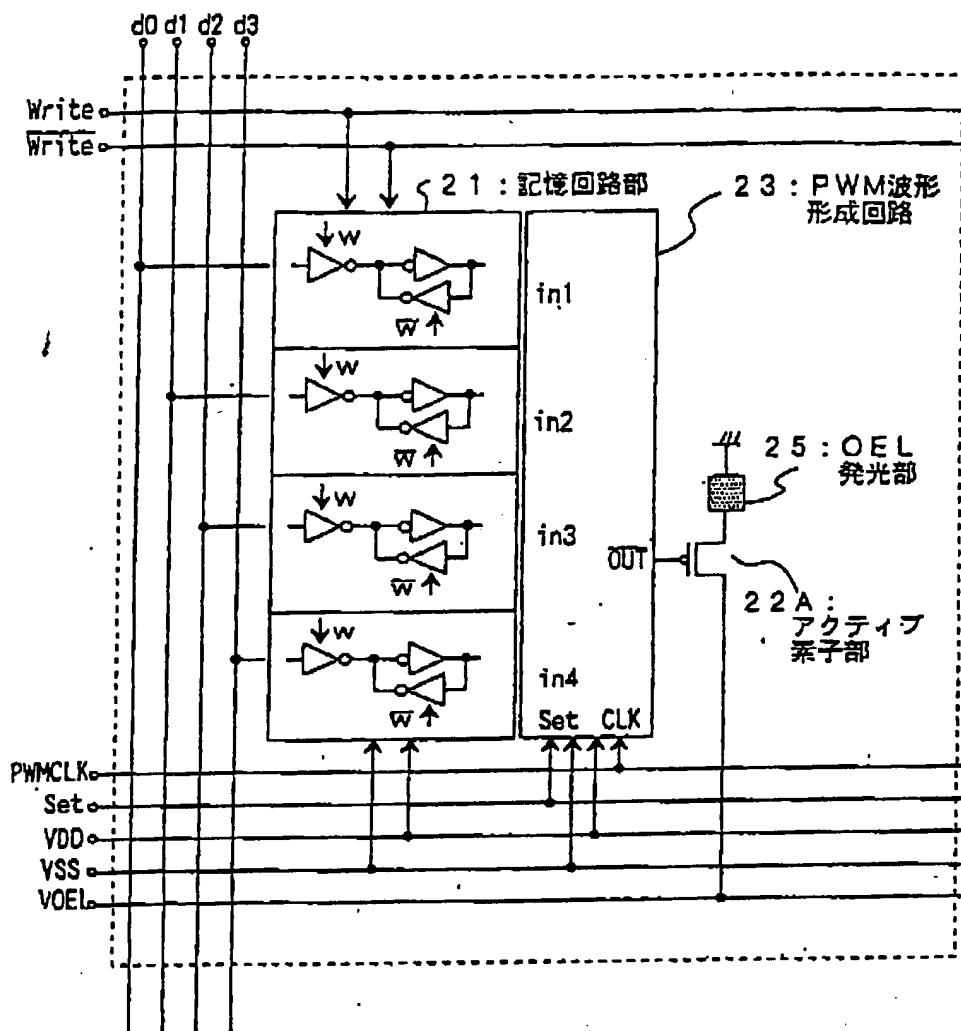


Fig. 8

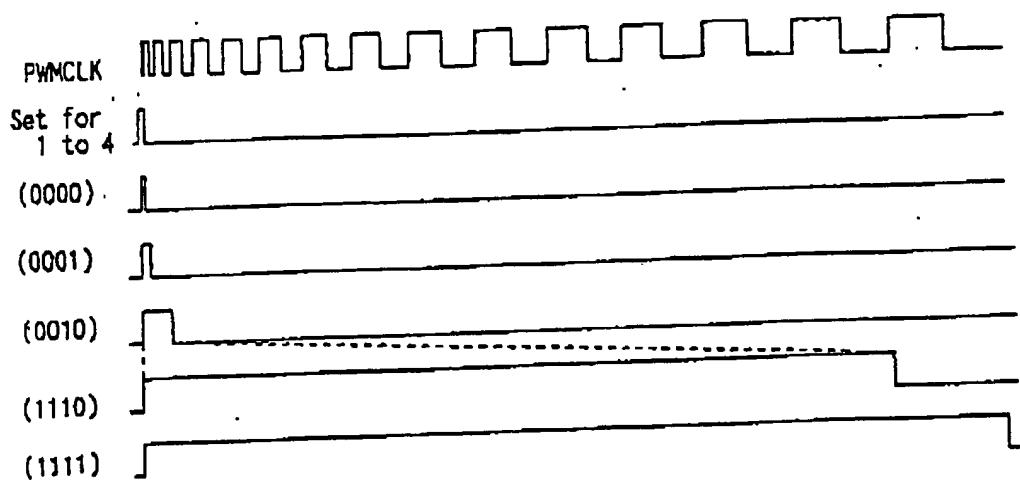


Fig. 9

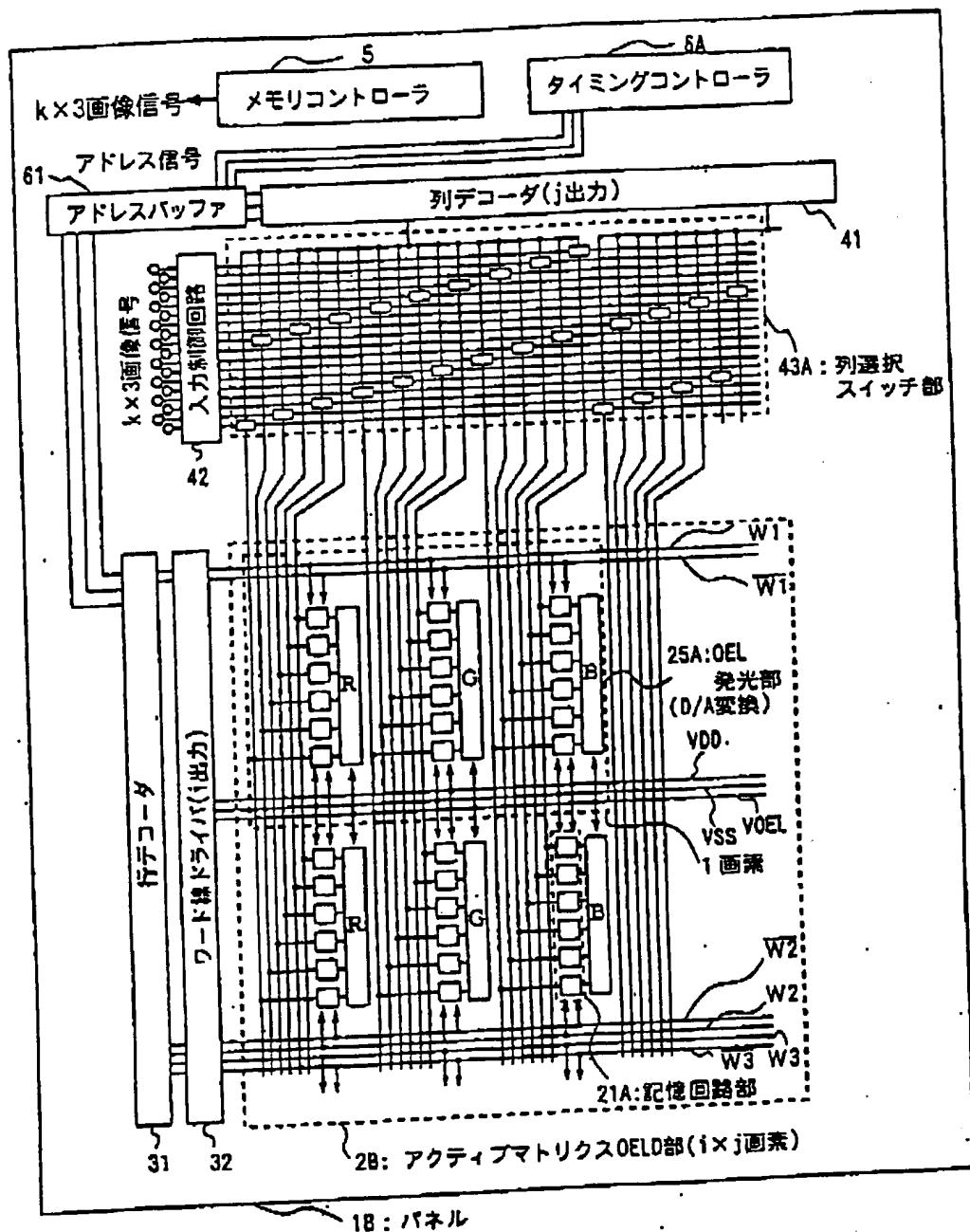


Fig. 10

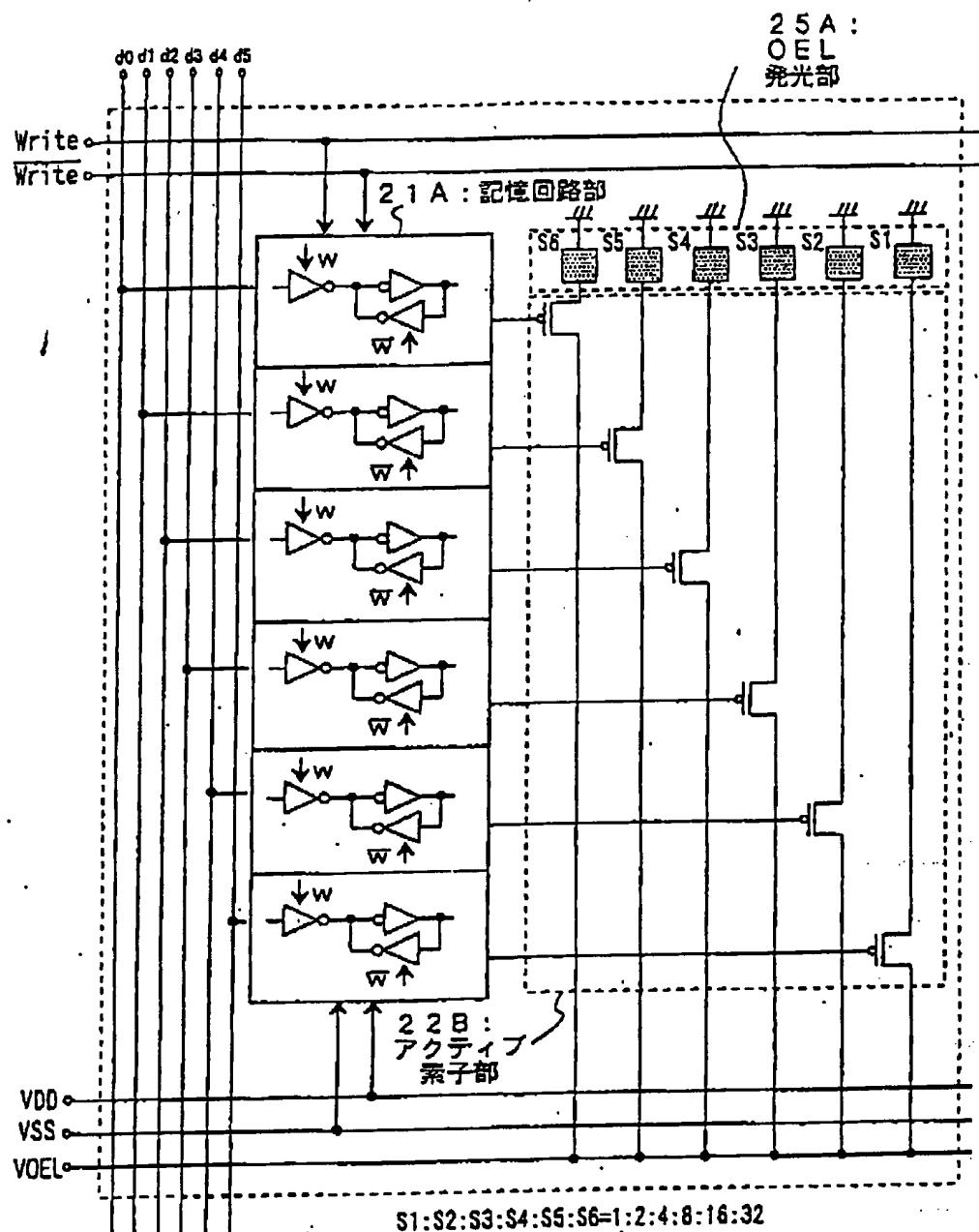


Fig. 11

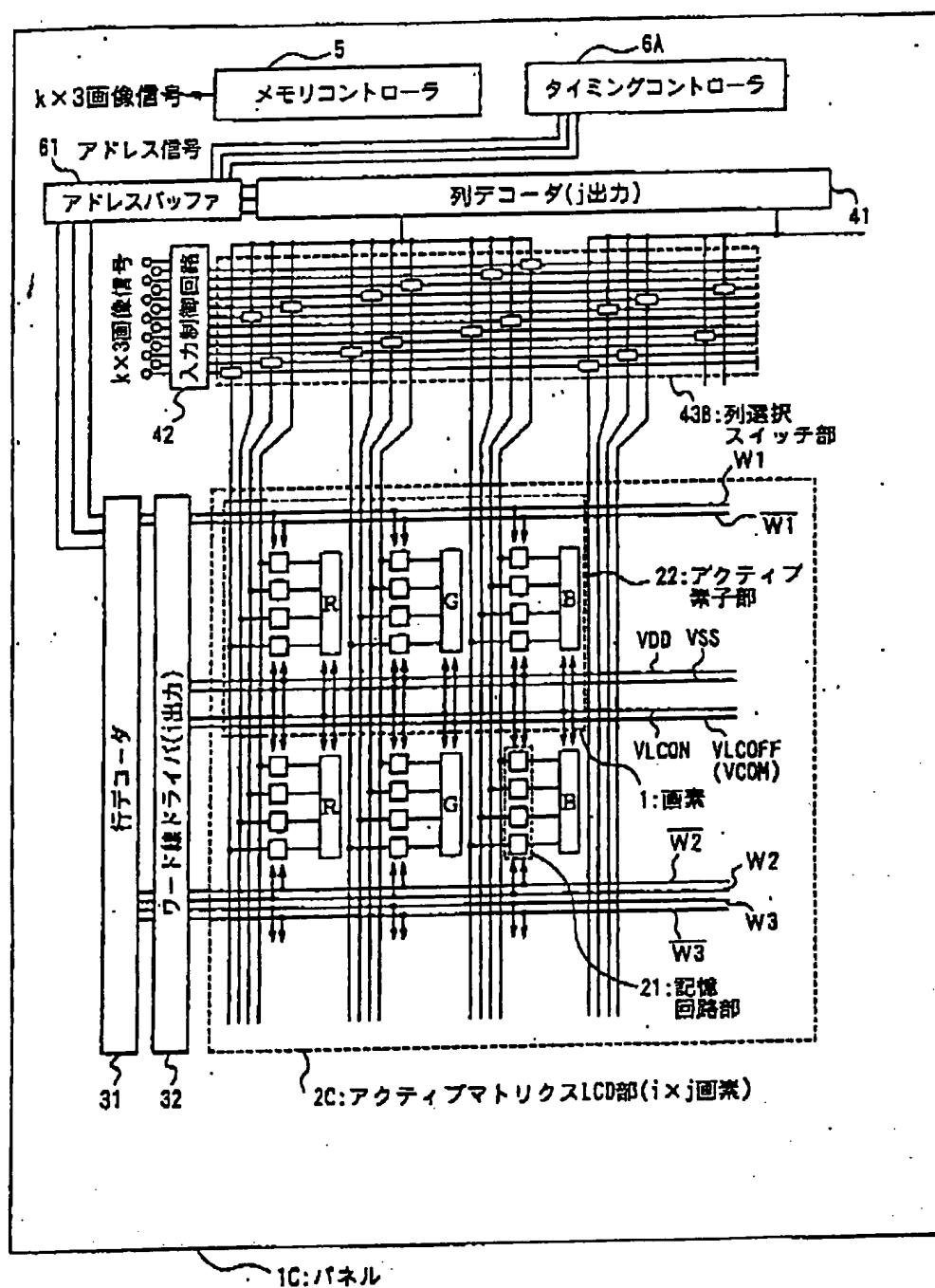


Fig. 12

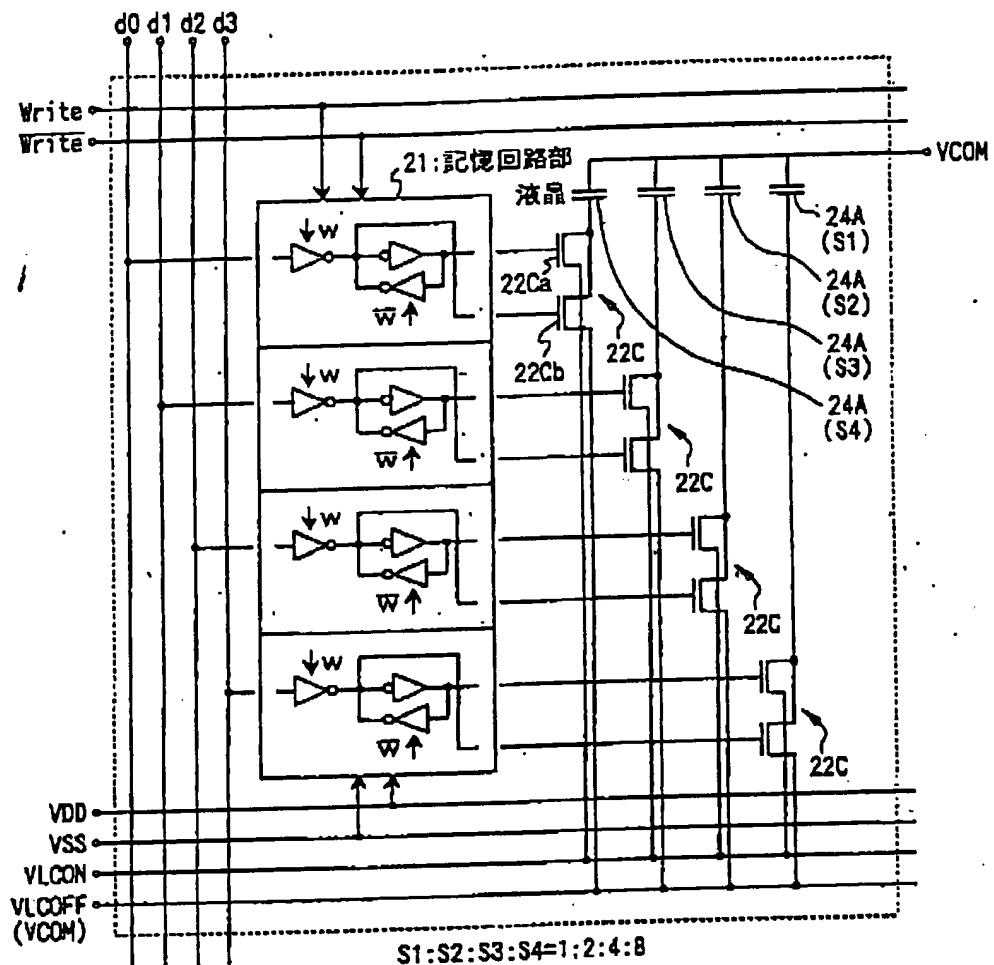


Fig. 13

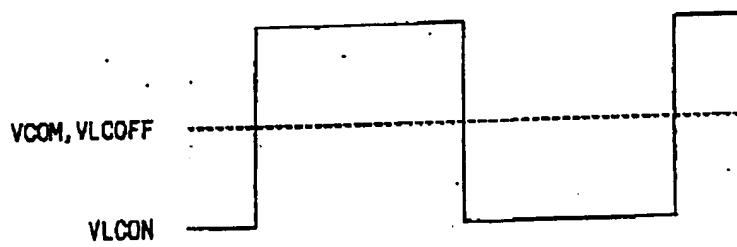


Fig. 14

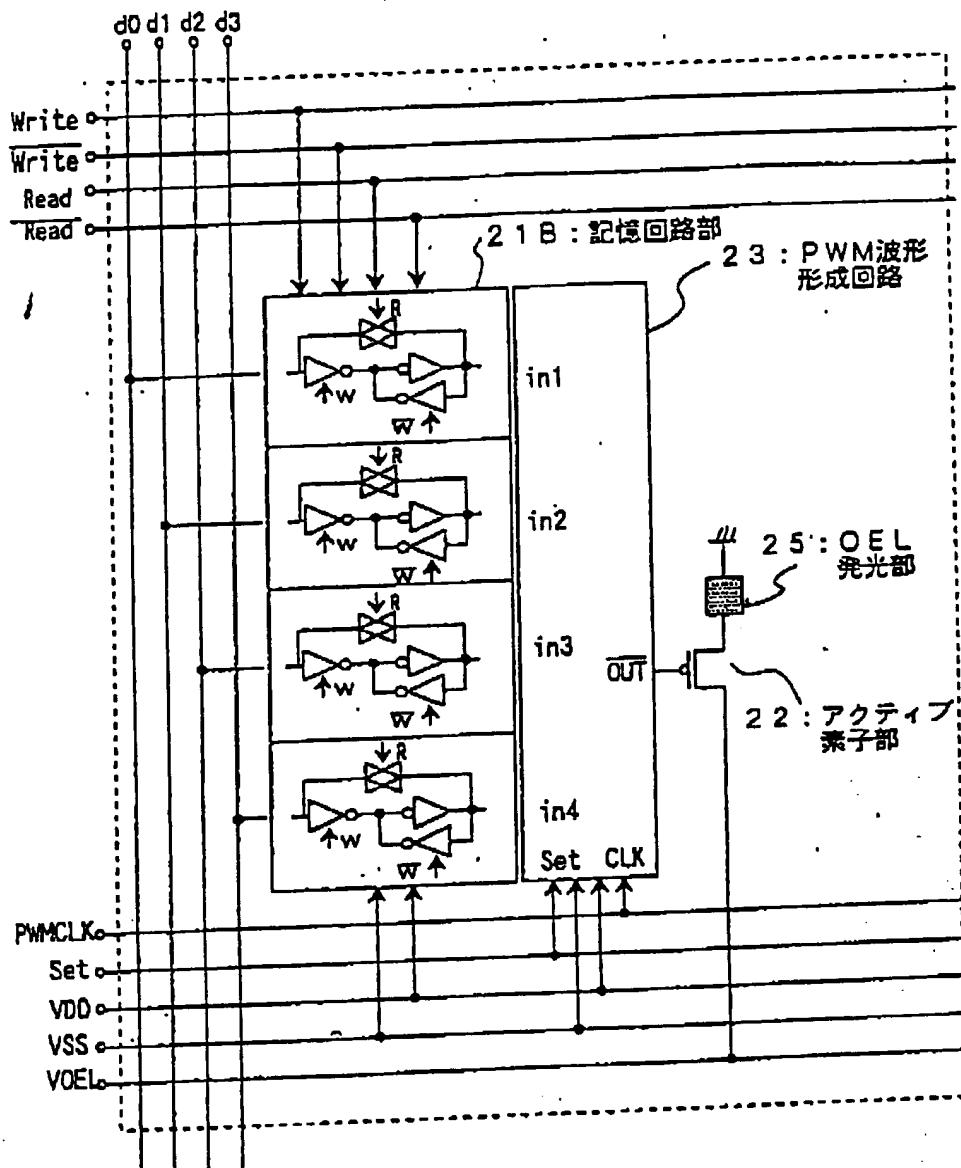


Fig. 15

